

**Ciencias Físicas: Especialidad de Física Industrial
ELECTRÓNICA II (cód. 075098)**

MÓDULO VI

**TEMA
35**

CONVERSORES D/A

- 1. Introducción a la Conversión de Datos.**
- 2. Características de los Conversores D/A**
- 3. Distintos Tipos Básicos de Circuitos de Conversión D/A**
 - 3.1. Circuitos D/A con Escalado de Corrientes**
 - 3.2. Circuitos D/A con Escalado de Tensión.**
 - 3.3. Conversores D/A con Escalado de Carga.**
 - 3.4. Comentarios sobre estas Técnicas de Conversión D/A**
- 4. Arquitecturas de Conversores D/A**
 - 4.1. Circuitos que usan Fuentes de Corriente Ponderadas de Forma Binaria**
 - 4.2. Circuitos que usan Fuentes de Corriente de Igual Valor**
 - 4.3. Redes escalera segmentadas**
- 5. Conversores Compresores-Expansores**
- 6. Ejemplos**
- 7. Referencias**

A.E. Delgado y J. Mira

Dpto. de Inteligencia Artificial

1. Introducción a la Conversión de Datos

Hay funciones electrónicas que son puramente analógicas o puramente digitales. Es decir, son funciones en las que la representación de los datos coincide con el tipo de proceso que sufren esos datos, transformándolos en otros del mismo tipo.

En el caso analógico las señales varían de forma continua dentro de un cierto intervalo (entre +15 y -15 volts., por ejemplo) y son transformadas lineal o no linealmente en otras señales continuas de la misma naturaleza. Por tanto, la transformación y representación son homogéneas y compatibles y no necesitamos cambiar de representación.

En la electrónica digital, los datos se representan mediante vectores booleanos, (“palabras”) de n bits, en los que cada variable binaria sólo puede tomar uno de dos valores lógicos (“0” ó “1”), correspondientes a dos niveles de señal analógica (0 y 5 voltios, por ejemplo). Así que el equivalente a la evolución temporal del valor instantáneo de una señal analógica, $V(t)$, que toma valores en el intervalo ± 15 voltios (por ejemplo) es ahora una sucesión de vectores binarios de N coordenadas que representan con cierta precisión (2^N escalones) la señal analógica de acuerdo con un cierto tipo de código (binario puro, binario codificado en decimal, etc. ...). En Electrónica Digital estas representaciones binarias son tratadas de forma binaria, mediante operadores aritmético-lógicos que ante cada combinación de palabras binarias de N bits producen otra palabra binaria del mismo número de bits, por lo que el cálculo es homogéneo y, de nuevo, no necesitamos ninguna transformación en la forma de representar los datos.

La evolución de la tecnología electrónica nos ha conducido sin embargo a una situación en la que cada vez es más adecuado, preciso y eficiente el **tratamiento digital de señales analógicas** y esto exige un **cambio de representación** que nos permita pasar de señales analógicas a palabras digitales de N señales binarias (**conversión A/D**) y de vectores binarios de N bits a señales analógicas (**conversión D/A**).

Estas funciones de **interfaz** que conectan la electrónica analógica con la digital las hemos empezado a estudiar con los conmutadores analógicos, los multiplexores y los circuitos de muestreo y muestreo-retención encaminados a preparar una señal ó un conjunto de señales analógicas para su posterior conversión a digital. La *figura 1* ilustra este proceso para una situación general que puede corresponder, por ejemplo, a un **proceso de control digital de un robot** que toma medidas de un conjunto de sensores de distancia a obstáculos y genera órdenes de control del conjunto de motores que le permiten navegar en un medio. El mismo esquema también representa la adquisición y visualización digital de un conjunto de magnitudes físicas que monitorizan la evolución de un proceso (por ejemplo, el electrocardiograma de un enfermo, la hora en un reloj digital, etc. ...).

De hecho, los cuatro grandes tipos de sistemas electrónicos **Instrumentación**, **Cálculo**, **Comunicación** y **Control** están siendo invadidos por el procesamiento digital y, por consiguiente, necesitan el cambio de representación y las conversiones A/D y D/A.

Si recorremos ahora el lazo de la *figura 1*, empezando por el lado analógico vemos que, tras el procesado analógico en el que un conjunto de transductores convierten en señal eléctrica la presión, el volumen, la temperatura, el grado de humedad, la altura o la distancia a un objeto, y estas señales son amplificadas, filtradas y adaptadas, entramos así en el mundo híbrido de la primera conversión (A/D). Aquí el primer paso es el **multiplexado en el tiempo** de las distintas señales analógicas que se quiere procesar. La

posibilidad de esta función se basa en el Teorema del Muestreo. Las señales analógicas son en general lentas en comparación con la velocidad de procesamiento digital por lo que pueden yuxtaponerse muestras de varias señales analógicas permitiendo así el procesamiento digital rápido y secuencial de un conjunto de señales que, a nivel analógico, evolucionan en paralelo. Desde el punto de vista electrónico el multiplexado consiste en la apertura y cierre de forma sucesiva, cíclica y controlada de un conjunto de conmutadores analógicos, tal como hemos visto en el capítulo anterior.

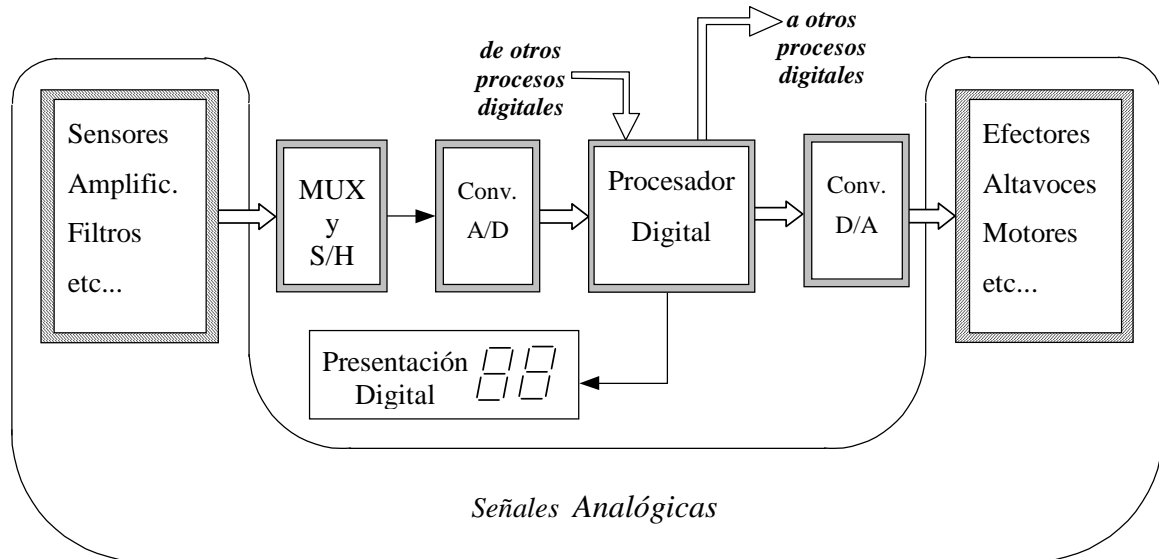


Fig. 1. Tratamiento digital de señales analógicas

Tras el multiplexado ya tenemos todas las señales analógicas sobre una misma línea. El siguiente paso previo a la digitalización es el **muestreo y retención** de las muestras durante un intervalo de tiempo suficiente para que se realice la conversión **analógico-digital** de las mismas. Esta conversión genera una “palabra” de N bits por cada muestra. Estas “palabras” entran al sistema de **procesamiento digital**. Al llegar al mundo digital, estas señales pueden mezclarse con otras procedentes de memoria y procesarse por cualquier programa, dando así un cambio esencial al concepto de función electrónica. Ahora la amplificación, el filtrado, la eliminación del ruido etc.... son **programas**. Lo mismo ocurre con las funciones globales. Así, el control que se estudió previamente en términos de funciones de transferencia en sistemas lineales con realimentación negativa es ahora un programa que transforma una secuencia de palabras de N bits (las muestras sucesivas de la señal de error) en otra secuencia de palabra de N bits (las órdenes de control), que tras la posterior conversión D/A, actuarán sobre los motores, ya en el mundo analógico.

Como ya hemos estudiado todo el preproceso (incluyendo el multiplexado y los circuitos de muestreo-retención), vamos a dedicar este tema y el siguiente a los procesos de conversión A/D y D/A. Aunque el camino natural de la señal es pasar primero de analógica a digital (conversión A/D), ser procesada en digital y pasar de nuevo a analógica (conversión D/A), estudiaremos primero los conversores D/A porque son más sencillos y, además, en ocasiones se usan como módulos de diseño de los conversores A/D.

2. Características de los Conversores D/A

Un conversor Digital-Analógico (D/A) es un circuito electrónico que acepta como entrada una palabra binaria de N bits (en un código concreto, tal como binario puro, BCD, etc...) y genera a la salida una señal analógica, $V_o(t)$, con el mismo valor numérico que el representado por la palabra digital. En el caso más usual, en el que la palabra digital está codificada en binario puro, la salida del conversor D/A es la **suma ponderada** de los N bits y los factores de ponderación son las potencias sucesivas de la base ($2^0, 2^1, 2^2, \dots$). Así, el bit menos significativo (*LSB*) se pondera con $2^0=1$, de forma que cuando está presente en la palabra digital aporta a la señal analógica de salida, $V_o(t)$, una componente proporcional a un cierto valor de referencia ($1 \cdot V_{ref}$). El siguiente bit se pondera con $2^1=2$ y aporta a $V_o(t)$ una componente igual a $2 \cdot V_{ref}$. Análogamente para el resto de los bits, hasta llegar al más significativo (*MSB*) que se pondera con 2^{N-1} , dando lugar a un valor analógico función del tiempo del tipo :

$$V_o(T) = \pm V_{REF} (A_1 \cdot 2^{N-1} + A_2 \cdot 2^{N-2} + \dots + A_N \cdot 2^0) \cdot 2^{-N}$$

Donde V_{ref} es una tensión de referencia y el término 2^{-N} se incluye para normalizar el rango de las tensiones de salida. Los coeficientes a_i son los bits de la palabra digital. Estamos en definitiva produciendo una suma ponderada donde el bit menos significativo, a_N , se pondera con $V_{ref}/2^N$ y el más significativo a_1 , se pondera con $V_{ref}/2$. Con N bits podemos obtener 2^N configuraciones binarias diferentes (00...0; 00...1; ...; 10...1; ...11...1) por lo que la señal analógica, $V_o(t)$ estará cuantificada en estos 2^N valores. Así, cuanto mayor es el número de bits, más pequeños son los “escalones” de la respuesta del conversor. La *figura 2.a* ilustra este proceso de conversión y la 2.b. presenta la estructura interna de un conversor D/A genérico, con las funciones necesarias para realizar esta conversión:

1. Creación de una **tensión de referencia**.
2. Propuesta de una **red pasiva** (con resistencias o condensadores) para fabricar los pesos.
3. Un conjunto de **conmutadores analógicos** para controlar los pesos que entran al sumador.
4. Un **amplificador operacional** que suma corrientes o tensiones y produce la señal analógica de salida $V_o(t)$.

El circuito generador de la tensión de referencia puede ser tanto interno como externo al bloque monolítico del conversor. Como podemos ver en la *figura 2*, la salida analógica es un producto de la tensión de referencia y la palabra digital. Por consiguiente, la salida analógica puede ser modulada variando el valor de V_{ref} . Un Conversor D/A que tenga esta

* Cuando el alumno use textos de material complementario sobre conversores o datos de catálogo de conversores integrados de distintas casa comerciales, es posible que encuentre distintas formas de nombrar a los bits mas significativo (MSB) y menos significativos (LSB). Independientemente de la nomenclatura que usen, de si hacen referencia a corrientes o tensiones de salida o de cual sea el valor del factor de normalización, no debe olvidar nunca la **coherencia** para aclararse en sus cálculos. Del conjunto de valores que se encuentre en la expresión analógica de la palabra digital, el bit menos significativo (LSB) corresponderá siempre al menor de esos valores. Inversamente el bit más significativo (MSB) corresponderá siempre al mayor de esos valores. Además, la relación entre un término y el siguiente siempre mantendrá la proporción 2 ó 1/2 correspondiente a subir o bajar en la secuencia de potencias sucesivas de la base (2^N)

propiedad o esté diseñado para operar con valores de V_{ref} variables se conoce como conversor **D/A–multiplicador**. Normalmente, todos las conversores D/A que operan con referencias externas son conversores de este tipo.

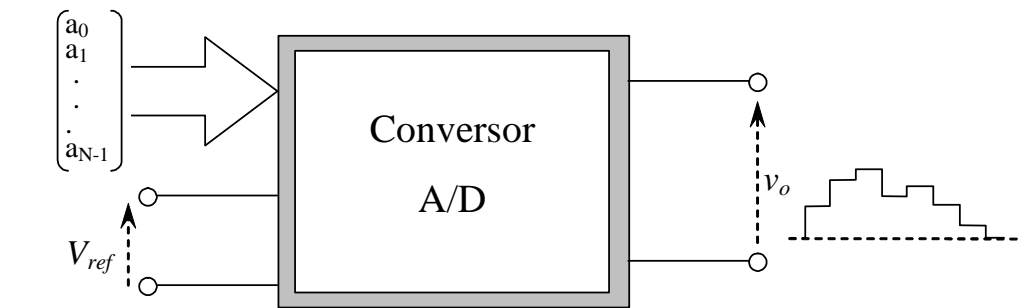
Si suponemos una salida en forma de tensión, la función de transferencia de un conversor D/A de N bits la podemos escribir como:

$$V_o = V_{FS} (a_1 \cdot 2^{-1} + a_2 \cdot 2^{-2} + \dots + a_N \cdot 2^{-N}) + V_{os}$$

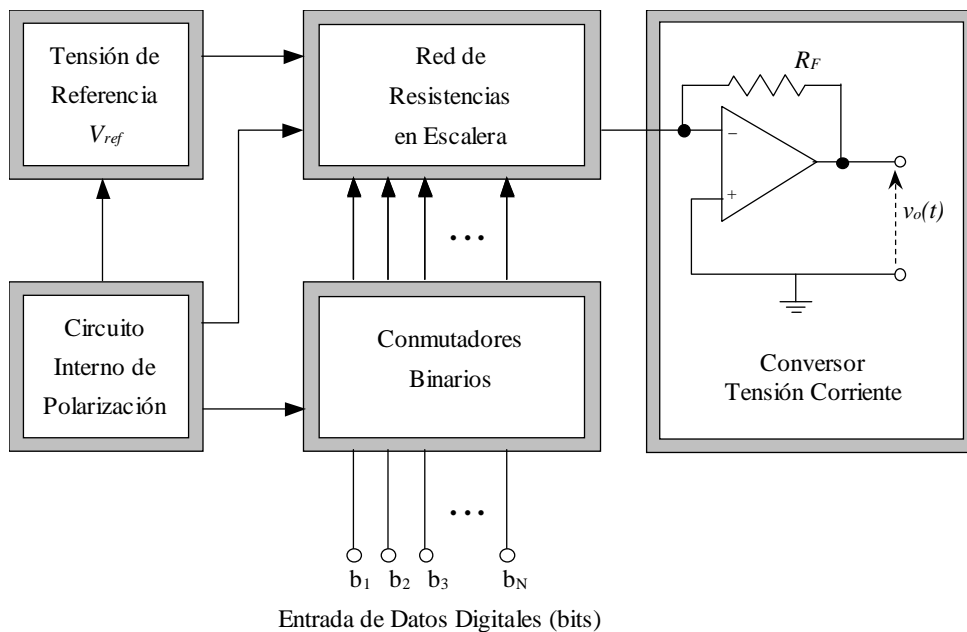
Bit Más Significativo
MSB

Bit Menos Significativo
LSB

donde V_{FS} es la tensión a fondo de escala; $V_{FS} = K \cdot V_{ref}$. La tensión de referencia controla el fondo de escala de tensión o corriente del conversor. El coeficiente K representa el factor de ganancia y se ajusta usualmente a $K=1$. V_{os} constituye la tensión de offset. Es decir, salida del conversor cuando la entrada digital es cero. Esta tensión de offset constituye un término de error, por lo que deberá ser anulado o cuando menos minimizado.



a)



b)

Fig. 2. a) Conversión D/A de palabras de n bits a señal analógica cuantificada en $2n$ niveles. b) Bloques funcionales necesarios para la síntesis de un conversor D/A genérico.

La salida toma valores de un conjunto de 2^N niveles distintos de tensión, empezando en un nivel cero hasta un nivel máximo $(V_o)_{max}$, dado por la expresión:

$$(V_o)_{max} = V_{FS} \frac{2^N - 1}{2^N}$$

La *resolución* del conversor se define como el cambio más pequeño que podemos producir en la salida del conversor en respuesta a un cambio en la palabra digital de entrada. También indica el número de niveles posibles en la tensión de salida. Esta resolución puede expresarse en bits, tanto por ciento de la tensión de fondo de escala o, si la salida a fondo de escala es fija, en voltios.

$$\text{Resolución (voltios)} = \frac{V_{FS}}{2^N} \quad \text{para un conversor de } N \text{ bits.}$$

El tamaño mínimo de la palabra de entrada dependerá de los requerimientos de nuestra aplicación. Supongamos que tenemos un conversor de tres bits. La *figura 3* muestra la relación entre el código digital de entrada y la tensión analógica de salida para un comportamiento ideal. Los puntos en la figura representan las 8 posibles tensiones de salida con un rango desde 0 hasta 0.875 VFS. Como podemos observar, la salida máxima nunca es igual a VFS, siempre es un LSB más pequeño.

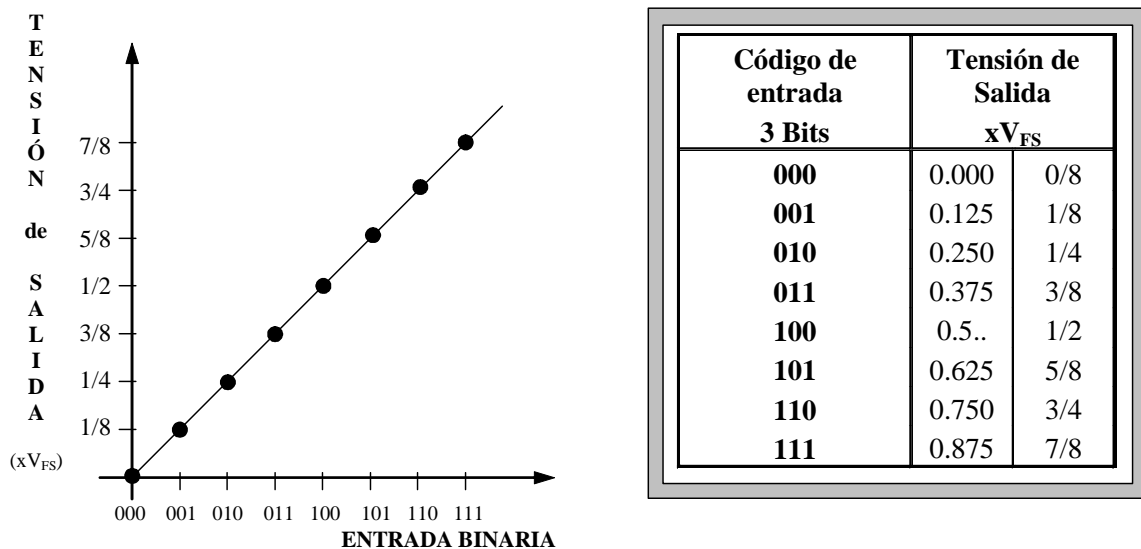


Fig. 3. Relación entre el código digital de entrada y la tensión analógica de salida para un conversor D/A ideal de tres bits.

El conversor ideal de la *figura 3* se ha calibrado para obtener $K=1$ y $V_{os}=0$. La *figura 4* muestra la salida de un conversor con ganancia distinta de la unidad y errores de offset. El error de ganancia corresponde a un cambio de la pendiente de las características de transferencia y es debido a una imprecisión del factor de escala o de la tensión de referencia. Normalmente, tanto los errores de offset como los de ganancia pueden ser eliminados mediante técnicas de ajuste convencionales.

La respuesta de un conversor la podemos determinar mediante el ajuste a una recta de las salidas que presenta para las diferentes entradas. Este ajuste se puede realizar mediante mínimos cuadrados o bien mediante un método “con base en cero”. El primero minimiza la desviación total de las salidas respecto de la recta ajustada, pero el valor de offset que

proporciona puede diferir del offset medido. Por el contrario, el segundo método usa ese valor de offset (salida con entrada cero) como base de la recta y la pendiente (ganancia) se ajusta para minimizar la desviación máxima de las salidas respecto de esa recta. Un tercer método sería el de los puntos terminales. En este método la recta ajustada pasa por las salidas del convertor para entradas cero y máxima, por lo que proporciona unos errores bastantes mayores que los otros métodos.

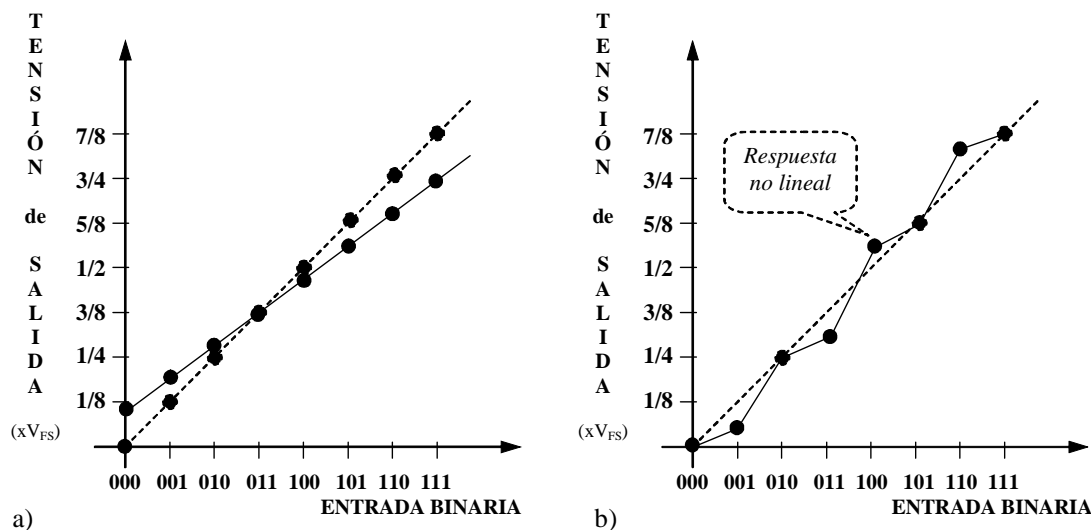


Fig. 4. a) Salida de un convertor D/A de tres bits con errores de offset y de ganancia (línea continua). Salida del mismo convertor ideal (línea de puntos). b) Tensión de salida en función del código de entrada para un convertor D/A de tres bits con un circuito defectuoso por falta de apareamiento en sus componentes que da lugar a un comportamiento no lineal.

Vamos a ver los distintos errores que afectan a un convertor D/A suponiendo que su respuesta ha sido ajustada mediante el tercer método y que el convertor se ha calibrado de forma que no presenta errores de ganancia ($K=1$), ni de offset ($V_{os}=0$).

a) Error de linealidad. Mide la separación de la salida real del convertor respecto de la recta que ajusta su respuesta. Usualmente se expresa como una fracción de un LSB o como tanto por ciento del fondo de escala y viene determinado por la mayor de las desviaciones. Un buen convertor debe presentar errores de linealidad menores o iguales que 0.5LSB .

Otra medida de la exactitud de un convertor la constituye el **error de linealidad diferencial**. En un comportamiento ideal, cuando la entrada binaria cambia en 1 bit, la salida debe cambiar en 1LSB. El error de linealidad diferencial de un convertor D/A se define como la máxima diferencia entre cada escalón en la salida y el escalón ideal (1 LSB). El **error de linealidad integrado** para una entrada binaria dada es la suma de los errores de linealidad diferenciales de todas las entradas previas, incluida esa. Este error de linealidad integral usualmente se referencia como simplemente error de linealidad.

A diferencia de los errores de offset y ganancia, los errores de linealidad dependen de la palabra digital de entrada, por consiguiente, no pueden ser corregidos mediante una simple operación de ajuste. El único camino para minimizarlos es intentar mejorar el apareamiento y las relaciones entre los componentes del circuito (por ejemplo, redes de resistencias o condensadores).

b) Monotonicidad. Decimos que un conversor D/A es monótono si la salida analógica aumenta de forma continua cuando el código digital de entrada aumenta también de forma continua. El conversor D/A sería no monótono si la salida analógica decreciera en algún punto de su rango dinámico en respuesta a incrementos en el código de entrada. Esta no monotonicidad es consecuencia de un valor excesivo en la no linealidad diferencial. La *figura 5* ilustra los distintos tipos de no linealidades presentes en una conversión D/A.

La monotonicidad es un requisito importante cuando un conversor D/A entra a formar parte del diseño de otro conversor A/D, como elemento de un lazo de control. En este caso la falta de monotonicidad podría provocar la pérdida de algún valor digital a la salida del conversor, lo que lo haría inadecuado para algunas aplicaciones.

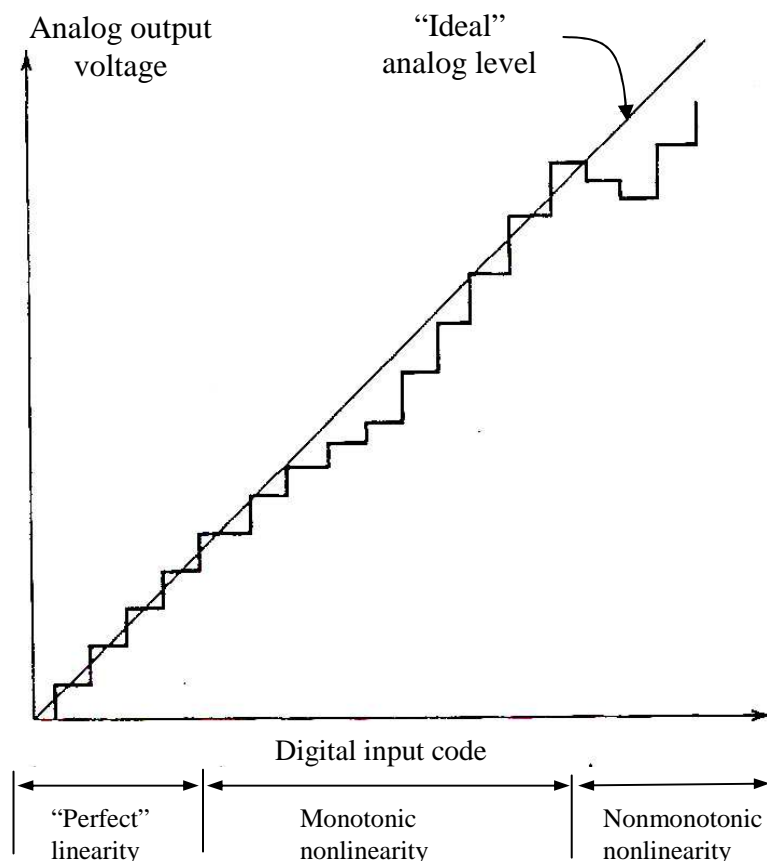


Fig. 5. Ilustración gráfica de las distintas no linealidades que pueden estar presentes a la salida de un conversor D/A.

c) Precisión absoluta y relativa. La precisión es una medida de la desviación de la salida analógica a partir del valor previsto para el caso ideal. Se puede describir en términos absolutos o relativos. La **precisión absoluta** es la medida del error, en el peor de los casos, entre la salida real y la ideal. Este valor máximo del error mide la imprecisión del conversor. La **precisión relativa** de un conversor es el error, en el peor de los casos, entre la salida actual y la correspondiente a un conversor ideal después de haber descontado los errores de ganancia y offset. Se puede expresar como un porcentaje de la salida a fondo de escala, como el número de bits, o como una fracción del LSB.

d) **Estabilidad.** La respuesta de un conversor cambia con el tiempo, la temperatura y las variaciones en la fuente de alimentación. Los errores de offset, ganancia y linealidad dependen fuertemente con la temperatura. Por tanto, en los conversores D/A debe especificarse los coeficientes de dependencia con la temperatura de la tensión de offset, la ganancia y los errores de linealidad diferencial e integral. También es necesario conocer su dependencia del rango de valores usados en la fuente de alimentación.

e) **Tiempo de asentamiento de la señal (“setting time”) y transitorios anómalos (“glitches”).** Cuando el código de entrada en un conversor ideal cambia de un valor binario a otro, su salida inmediatamente salta al nuevo valor. En un conversor real, las capacidades existentes en el circuito van a introducir unos tiempos de retardo en su respuesta. Este tiempo que transcurre desde el cambio en el código de entrada hasta que la salida alcanza el valor correspondiente se conoce como **tiempo de asentamiento (“setting time”)**. Normalmente se especifica como el tiempo que la salida tarda en alcanzar el valor final dentro de una fracción determinada de 1 LSB o un tanto por ciento de V_{FS} .

Un segundo fenómeno que puede ocurrir en un conversor D/A es que se produzcan grandes cambios transitorios en la tensión de salida cuando deben ocurrir sólo cambios pequeños. Este problema de transitorios anómalos (“glitches”) es muy pronunciado cuando ocurren cambios en los bits más significativos.

3. Distintos Tipos Básicos de Circuitos de Conversión D/A

Hay un gran número de técnicas de conversión D/A, pero nosotros sólo haremos referencia a los tres tipos básicos usados en tecnología integrada:

- 3.1. Circuitos de escalado de corrientes
- 3.2. Circuitos de escalado de tensión
- 3.3. Circuitos de escalado de carga

El primer grupo es el más usado en el diseño de conversores D/A en tecnología **bipolar**. Los dos últimos (escalado de tensiones o cargas) son más adecuados para el diseño en tecnología **MOS**.

3.1. Circuitos D/A con Escalado de Corrientes

En estos circuitos la conversión se realiza mediante la generación de un conjunto de corrientes ponderadas binariamente, que son sumadas selectivamente para obtener la salida analógica. La *figura 6* muestra dos circuitos que generan y suman un conjunto de corrientes, I_1, \dots, I_N , ponderadas por unos coeficientes asociados a la posición del bit en la palabra. Estas corrientes se generan a partir de la tensión de referencia, V_{ref} , mediante una red de ponderación resistiva. Cada bit controla el estado del conmutador correspondiente a su posición en la palabra y los coeficientes se suman en el punto de tierra virtual de la entrada inversora del amplificador operacional A_1 . Así, la tensión de salida es:

$$V_o = -I_o \cdot R_o = -V_{ref} (a_1 \cdot 2^{-1} + a_2 \cdot 2^{-2} + \dots + a_N \cdot 2^{-N})$$

La resistencia de realimentación del amplificador operacional, $R_o = R/2$, fija el valor del factor de escala y se elige por conveniencia igual a $R/2$. En estos circuitos tenemos la opción de conmutar bien la tensión o bien la corriente. En el circuito de la *figura 6(a)* se emplea un **conmutador de la tensión** de forma que la tensión a través de cualquiera de las

resistencias de ponderación es tierra o V_{ref} dependiendo del valor del bit (“0” ó “1”). La figura 6(b) muestra un método alternativo para el mismo circuito. En este caso un terminal de cada una de las resistencias permanece conectado a V_{ref} y el otro terminal se conmuta entre tierra (posición 1, bit “0”) y tierra virtual (posición 2, bit “1”). Este método de conmutación se llama de **conmutación de la corriente**.

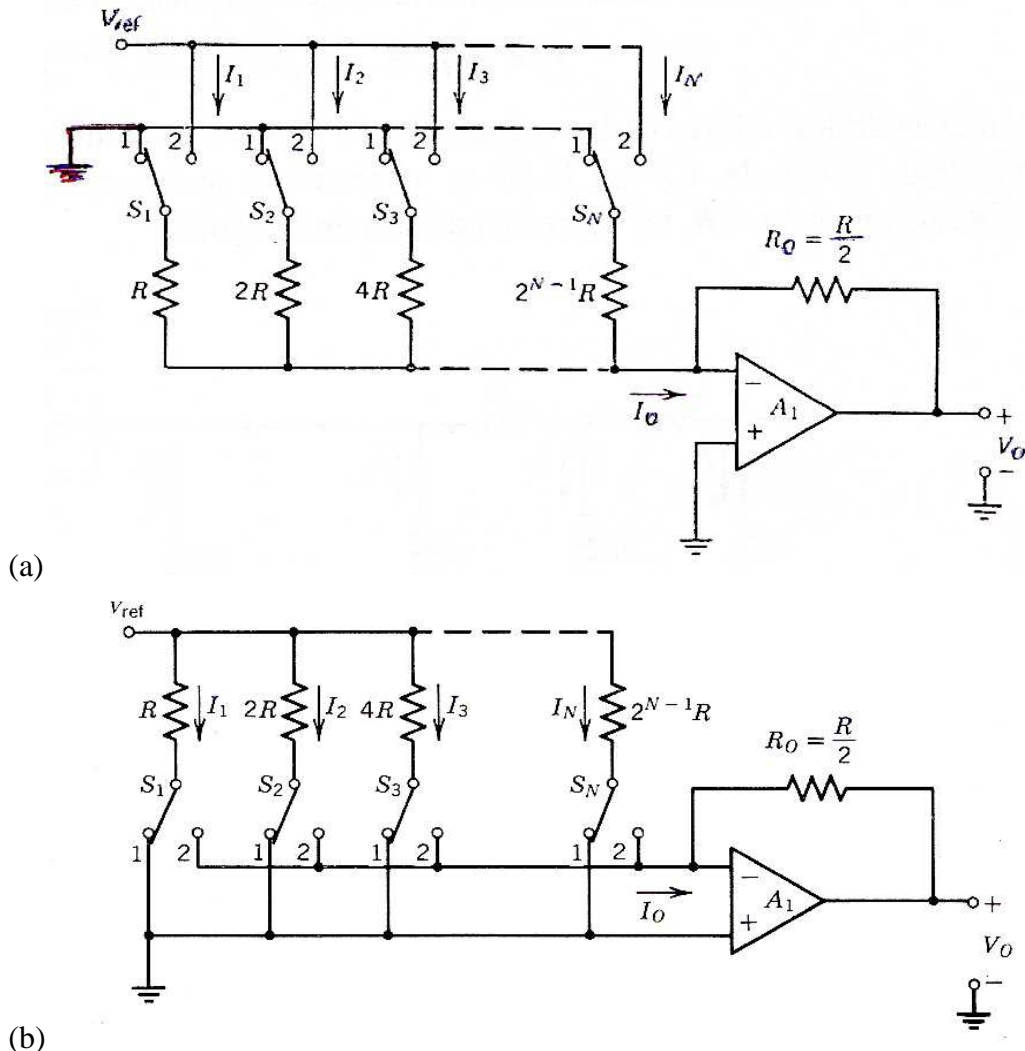


Fig. 6. Escalado de corriente en circuitos de conversión D/A usando redes de resistencias conmutadas por la palabra digital de entrada al convertidor. (a) Conmutación de la tensión. (b) Conmutación de la corriente.

En circuitos integrados se prefiere el método de conmutación de corriente en lugar del de conmutación de tensión dado que presenta mejores velocidades de respuesta. Las capacidades parásitas asociadas a los nudos de la red harán que aparezcan unos fuertes transitorios en los cambios de tensión de esos nudos en el modo de conmutación de tensión. Sin embargo, en el modo de conmutación de corriente, la tensión de los nudos permanece inalterable, lo que minimiza los transitorios de conmutación y el correspondiente tiempo de asentamiento.

El principal inconveniente de este tipo de convertidor es que requiere unas relaciones muy grandes entre las resistencias sobre un rango muy amplio de valores, por ejemplo en un rango de 1024 a 1 para un convertidor de 10 bits. En circuitos monolíticos o de película

delgada es difícil de obtener este amplio rango de valores de resistencias con suficiente precisión y sin encarecer los procesos de ajuste.

Otro tipo de convertor en el que no necesitamos tantos valores distintos de resistencias es el que se muestra en la *figura 7* que usa una red en escalera con sólo dos valores de resistencias (R y $2R$). En este tipo de red, la división binaria de las corrientes I_1, I_2, \dots, I_N se obtiene mediante una partición de la corriente entre las ramas paralelas ($2R$) y serie (R). Entonces las corrientes en las sucesivas ramas todavía satisfacen la relación binaria,

$$I_1 = 2 I_2 = 2^2 I_3 = \dots = 2^{N-1} I_N$$

manteniendo los valores de las resistencias en una proporción de 2 a 1 fácil de conseguir en tecnología integrada. La red R - $2R$ se termina con una conexión a tierra a través de una resistencia de valor $2R$, tal como se muestra en la *figura 7*.

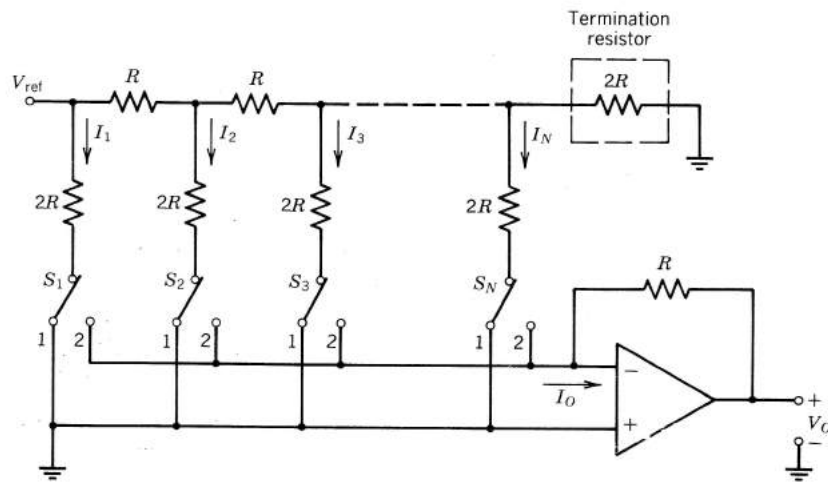


Fig.7. Uso de redes en escalera, con sólo dos valores distintos de resistencias (R y $2R$) para escalar la corriente en un convertor D/A.

Para comprender mejor el principio de funcionamiento de este tipo de convertor vamos a analizar con más detalle el caso particular de un convertor D/A de 3 bits con red (R - $2R$) en modo de conmutación de tensión (*figura 8*). Vamos a ver como la contribución de cada bit se divide por 2 desde el MSB al LSB.

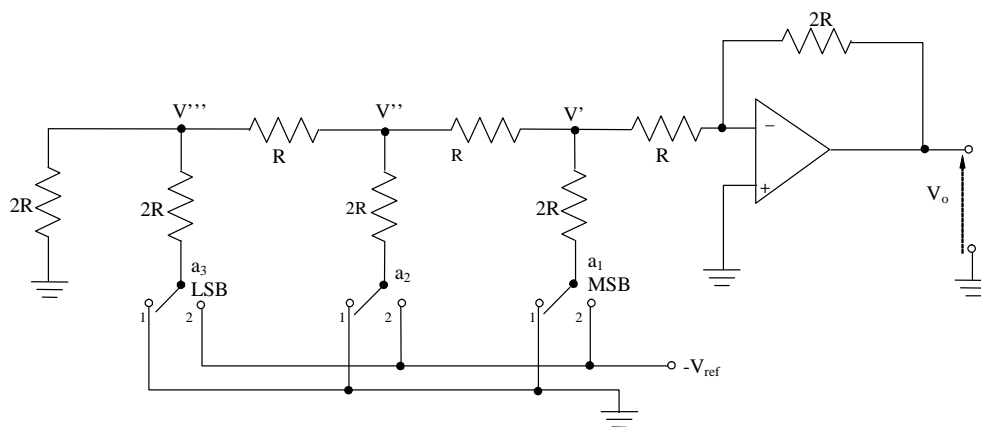


Fig. 8. Convertor de 3 bits con red R - $2R$ en modo de conmutación de tensión.

Las figuras 9, 10 y 11 resumen el proceso de cálculo de las contribuciones asociadas a cada uno de los 3 bits. Primero (figura 9), la contribución de a_1 (con $a_2=a_3=0$) es decir la palabra (100); después (figura 10) la de a_2 (con $a_1=a_3=0$), es decir la palabra (010) y, finalmente (figura 11) la de a_3 (con $a_1=a_2=0$) correspondiente a (001). Obviamente, el resultado previsible para cualquier otra configuración se puede obtener aplicando el principio de superposición. Al conocer la respuesta asociada al estado de alta de cada uno de los tres bits (a_1, a_2, a_3), cuando todos los demás están en baja, la tensión analógica de salida será la suma de las contribuciones asociadas a cada uno de los bits que posea en alta. Si, además, el peso de cada uno de estos bits está escalonado con un factor 2, ya tenemos sintetizada la función del conversor.

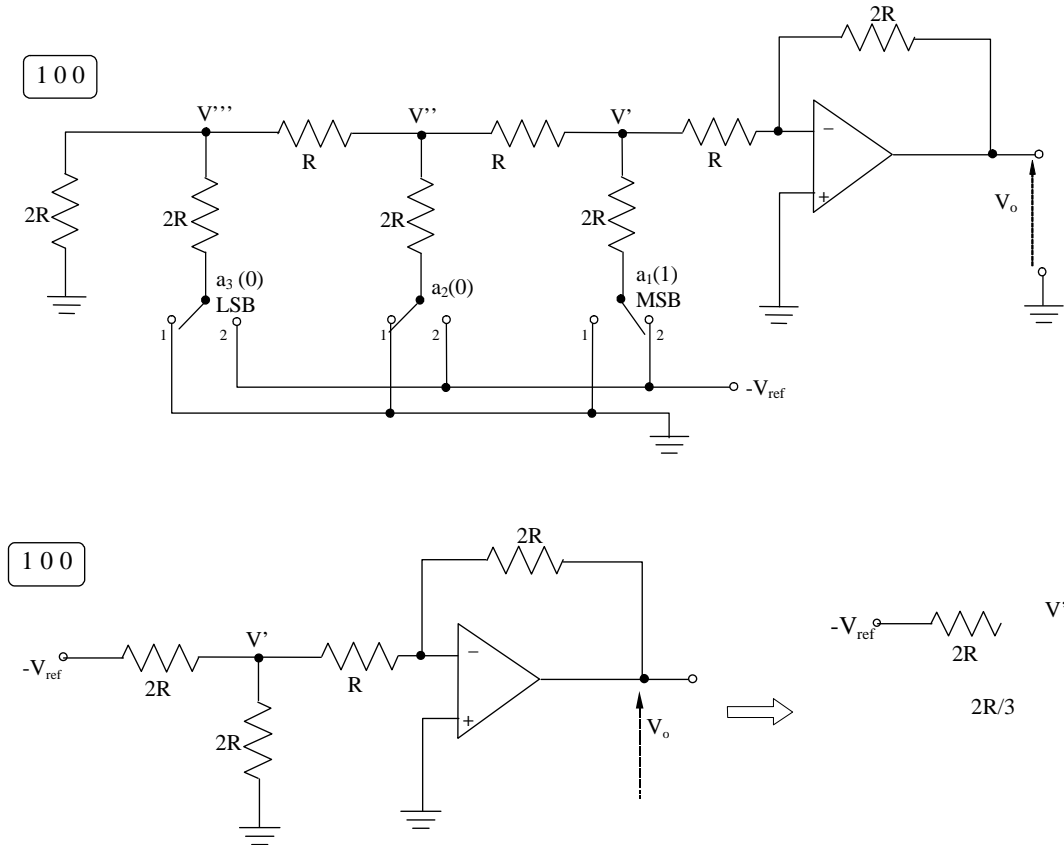


Fig. 9. Contribución de a_1 a la palabra analógica o conversión de la palabra 100.

En este primer caso ($a_1= 1$, y $a_2=a_3=0$), vemos que $2R$ en paralelo con $2R$ producen R , que en serie con R es $2R$, que en paralelo con $2R$ es R , que en serie con R es $2R$. Así, la tensión de referencia queda como la hemos dibujado en la parte inferior de la figura 9 y la tensión en el nodo V' es $-V_{ref}/4$ porque el nodo V' está unido a tierra por $2R$ y a la tierra virtual del A.O. por R . El paralelo de $2R$ con R es $2R/3$. Por consiguiente, la tensión de entrada al A.O. es

$$V' = (-V_{ref}) \cdot \frac{\frac{2R}{3}}{2R + \frac{2R}{3}} = \frac{-V_{ref}}{4}$$

y la tensión de salida $V_o = -2V' = \frac{V_{ref}}{2}$

De forma análoga se calcula la contribución de a_2 ($V_o = V_{ref}/4$) y la de a_3 ($V_o = V_{ref}/8$). Conocidas estas contribuciones, podemos calcular las de cualquier otra configuración. Así, para (111) obtendríamos $7V_{ref}/8$, un LSB menos del fondo de escala del convertor, fijado por V_{ref} .

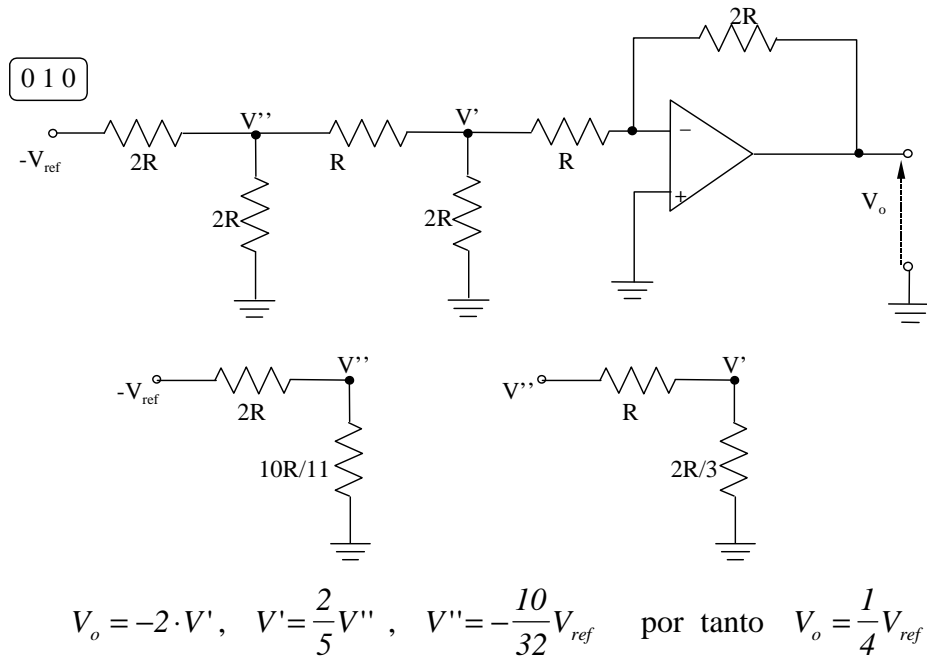


Fig. 10. Contribución de a_2 a la señal analógica o conversión de la palabra 010.

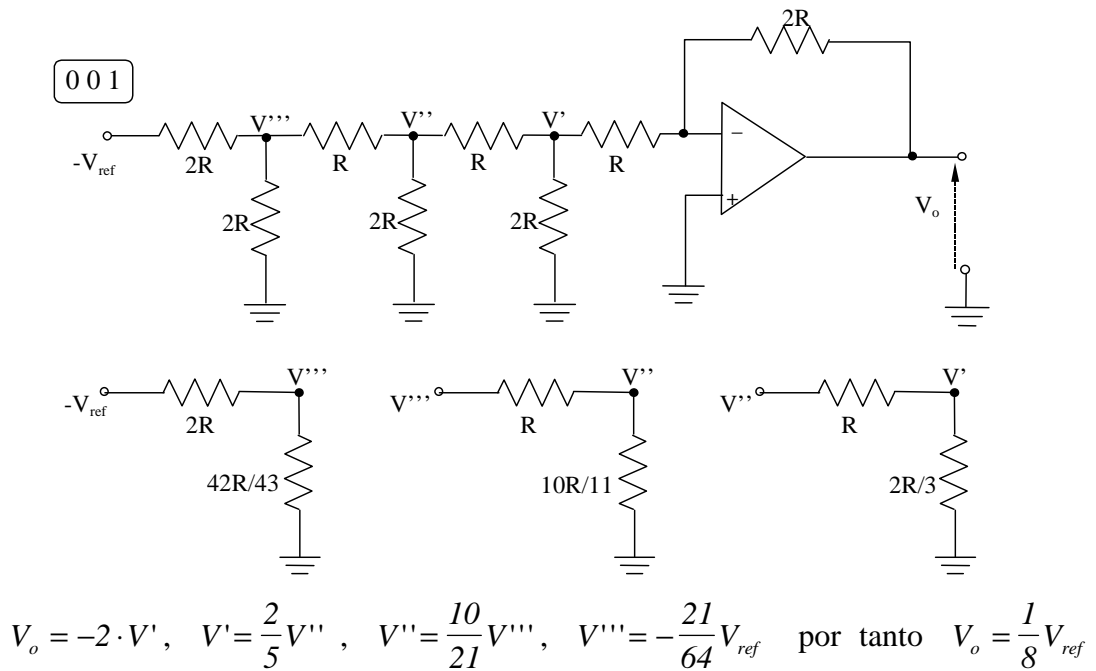


Fig. 11. Contribución de a_3 a la señal analógica o conversión de la palabra 001.

La siguiente tabla muestra los valores de la tensión de salida para cada una de las posibles palabras de entrada para un conversor D/A de tres bits.

Palabra Digital $a_1 a_2 a_3$	V_o
0 0 0	0
0 0 1	$\frac{V_{ref}}{8}$
0 1 0	$\frac{2V_{ref}}{8} = \frac{V_{ref}}{4}$
0 1 1	$\frac{3V_{ref}}{8}$
1 0 0	$\frac{4V_{ref}}{8} = \frac{V_{ref}}{2}$
1 0 1	$\frac{5V_{ref}}{8}$
1 1 0	$\frac{6V_{ref}}{8}$
1 1 1	$\frac{7V_{ref}}{8}$

3.2. Circuitos D/A con Escalado de Tensión.

Los circuitos de conversión D/A por escalado de tensión producen una tensión analógica de salida, $V_o(t)$, muestreando de forma selectiva los valores de tensión en los distintos nodos de un partidor de tensión entre tierra y V_{ref} construido con una ristra de resistencias de igual valor (R). Así, se soslaya la necesidad de muchos valores de resistencias y de muchas resistencias (R , $2R$), aumentando la carga computacional del proceso de conmutación, tal como se ilustra en la *figura 12*. Para N bits, la ristra de resistencias contiene 2^N segmentos en serie, 8 en el ejemplo de 3 bits de la *figura 12*.

La caída de tensión a través de cada una de las resistencias es igual a la contribución de 1LSB a la tensión de salida, o sea, $V_{FS}/2^N$. La salida es muestreada por medio de una matriz de conmutadores que actúan como decodificador y sensada por medio de un amplificador/buffer de alta impedancia de entrada o seguidor de tensión. Para asegurar la precisión de esta conversión D/A, el amplificador/buffer debe poseer una corriente de polarización despreciable comparada con la corriente de polarización que pasa por la ristra de resistencias.

La matriz de conmutadores actúan como un decodificador de la señal de entrada convirtiéndola en la correspondiente señal analógica a la salida. Sobre los conmutadores A , B y C actúan los bits de entrada a_1 , a_2 y a_3 , siendo a_1 el MSB y a_3 el LSB. Sobre \bar{A} , \bar{B} y \bar{C} actúan los bits negados. Suponiendo que los conmutadores están cerrados cuando el valor

lógico de una señal de control es “1”, la salida debida a un código 000 en la entrada será la correspondiente a los conmutadores A , B y C abiertos y los \bar{A} , \bar{B} y \bar{C} cerrados; es decir 0 volts. De manera similar, si el código de entrada es 100, los conmutadores A , B y C estarán abiertos, resultando una tensión a la salida de $V_{ref}/2$, que corresponde a la contribución de 1MSB.

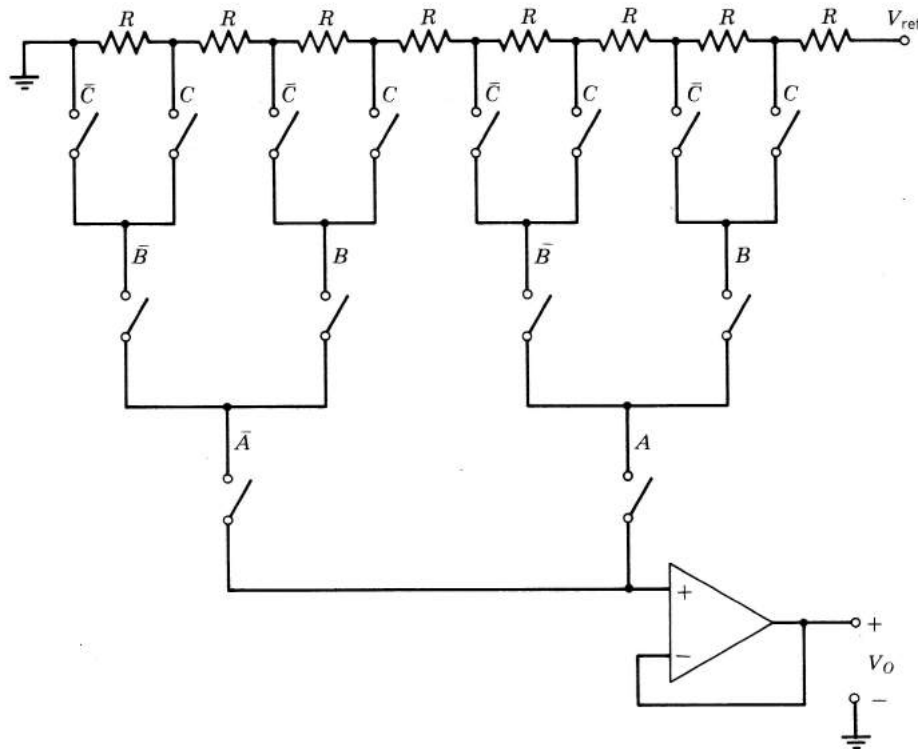


Fig. 12. Esquema cualitativo del circuito básico de un convertor D/A de 3 bits que usa el principio de escalado de tensiones, muestreando de forma selectiva los valores que entran a sumarse en el A.O. en configuración de seguidor de tensión.

Este tipo de convertor es particularmente adecuado para tecnología MOS, donde los conmutadores analógicos pueden ser implementados de una manera eficiente y la corriente continua de polarización del amplificador/buffer puede llegar a ser despreciable. Su principal inconveniente es el excesivo número de componentes requeridas. Para un convertor de N bits se necesitan 2^N resistencias y $(2^{N+1}-2)$ conmutadores analógicos.

La principal aplicación de estos convertores D/A con escalado en tensión es su uso como un subsistema en la construcción de un sistema convertor A/D de aproximaciones sucesivas en tecnología MOS.

3.3. Conversores D/A con Escalado de Carga.

Estos convertores generan una tensión analógica escalando la carga total aplicada a una red de condensadores. Su principio de operación se ilustra mediante el circuito de la figura 13, en el que C_A está permanentemente conectado a tierra y C_B conmuta periódicamente entre tierra y una referencia interna. Suponiendo que inicialmente S_0 y S_1 están conectados a tierra (modo “reset”) ambos condensadores están descargados y la tensión de salida V_X es igual a cero. Supongamos ahora que se abre S_0 y S_1 para conectar

C_B con la señal de referencia V_{ref} . Si medimos la salida durante este “modo de muestreo”, V_X será:

$$V_X = V_{ref} \frac{C_B}{C_A + C_B}$$

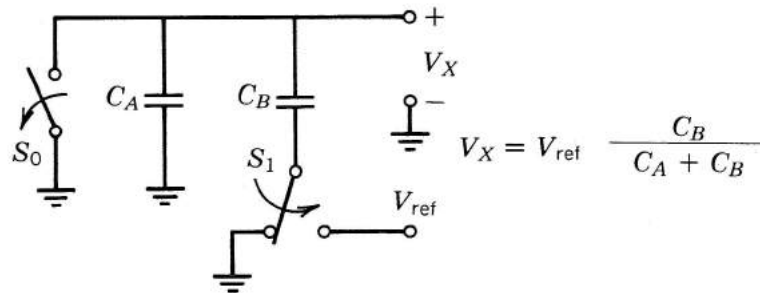


Fig. 13. Ilustración del principio de escalado de carga.

Este mismo principio puede ser aplicado a una red de condensadores ponderados con los coeficientes asociados a la posición de los bits en la palabra, como se muestra en la figura 14.

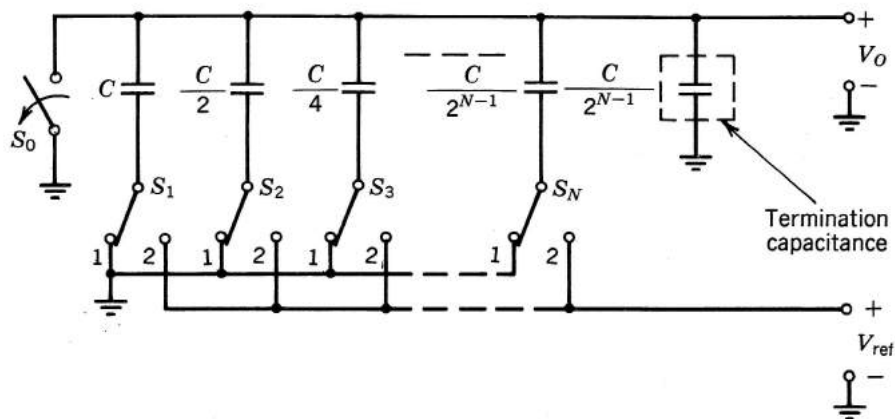


Fig. 14. Diagrama simplificado del circuito de conversión D/A por escalado de carga.

En este circuito, durante el modo “reset”, todos los conmutadores incluyendo S_0 deben estar conectados a tierra. En “modo sample” S_0 debe permanecer abierto y S_1 a S_N pasan a ser controlados por los bits correspondientes de la palabra digital de entrada. Un “1” en el bit hará que el conmutador conecte el condensador con V_{ref} mientras que un “0” lógico hará que el correspondiente conmutador permanezca conectado a tierra. Bajo esta condición, la tensión de salida vendrá dada por la expresión:

$$V_o = V_{ref} \frac{C_{eq}}{C_{tot}}$$

donde C_{eq} es la suma de los condensadores conectados a V_{ref} y C_{tot} es la capacidad total de la red. C_{eq} puede ser expresada como:

$$C_{eq} = a_1 C + \frac{a_2 C}{2} + \frac{a_3 C}{2^2} + \dots + \frac{a_N C}{2^{N-1}}$$

donde a_1, \dots, a_n son los bits de la palabra de entrada ($a_1 \rightarrow$ MSB, $a_n \rightarrow$ LSB). La capacidad total de la red será:

$$C_{tot} = C + \frac{C}{2} + \frac{C}{2^2} + \dots + \frac{C}{2^{N-1}} + \frac{C}{2^{N-1}} = 2C$$

El que la suma anterior converja hacia $2C$ es debido a la presencia de la capacidad terminal en la red capacitiva, igual a la capacidad de 1 LSB.

Combinando las dos expresiones anteriores, la tensión de salida durante el “modo sample” la podremos expresar como:

$$v_o = V_{ref} (a_1 2^{-1} + a_2 2^{-2} + \dots + a_N 2^{-N} +)$$

que es la salida analógica deseada para una entrada digital de N bits.

Estos circuitos son adecuados para el diseño en tecnología MOS. Su único inconveniente es los grandes relaciones (“ratios”) entre los condensadores para conversores con muchos bits, al igual que ocurría con su equivalente resistivo. La razón entre los condensadores correspondientes al MSB y LSB serán:

$$\frac{C_{MSB}}{C_{LSB}} = 2^{N-1}$$

que, para un conversor de 8 bits es 128. Suponiendo que la mayor capacidad práctica es de aproximadamente 1pF debido a problemas parásitos, un conversor de 8 bits necesitará una capacidad de 128pF para el MSB y una capacidad total de 256pF. Debido a estas consideraciones prácticas, el uso de este método en conversores monolíticos se limita a conversores de no más de 8 bits. Este tipo de circuito de escalado de carga se usa también en el diseño de conversores A/D como bloque funcional.

3.4. Comentarios sobre estas Técnicas de Conversión D/A

Las tres técnicas de conversión que hemos visto en este apartado (escalado de corriente, tensión o carga) son las más usadas en tecnología integrada. La elección de una u otra depende de la tecnología en la que se vaya a integrar el circuito conversor. Así, la técnica de *escalado de corriente* es la más adecuada a la *tecnología bipolar*, la cual a su vez es la más adecuada para aquellas aplicaciones que requieren *alta velocidad* de conmutación y gran precisión en los valores de las resistencias.

Las técnicas de *escalado de tensión o carga* son más adecuadas para la *tecnología MOS*, donde es fácil fabricar condensadores, conmutadores analógicos y circuitos sensores del nivel de carga en puntos específicos.

Esta distinción está claramente asociada a las exigencias de *precisión* en el proceso de conversión. Para resoluciones superiores a 10 bits, las técnicas bipolares son más

adecuadas que las MOS. Sin embargo, aquí sólo estamos hablando de *técnicas de conversión*. Más adelante hablaremos de *arquitecturas* asociadas a estas técnicas y, finalmente, de *circuitos reales*, tal como nos los ofrecen las distintas casas comerciales.

A este nivel de uso en diseño, será evidente la cantidad de tecnología, arquitectura y diseño adicional que son necesarias para convertir un principio de funcionamiento en un circuito conversor D/A real. Estos circuitos integrados nos permiten considerarlos ahora como *elementos de circuito*. Es decir, son bloques funcionales del procesado digital de señales analógicas caracterizados por los parámetros que describimos al comienzo del tema independientemente de cual sea su principio de funcionamiento, su arquitectura y su tecnología de integración.

4. Arquitecturas de Conversores D/A

Veamos ahora algunos ejemplos de arquitecturas que trabajan de acuerdo con el principio de *escalado de corrientes*, asociado a la tecnología bipolar y a las aplicaciones que requieren *precisión* y *velocidad* de conversión.

4.1. Circuitos que usan Fuentes de Corriente Ponderadas de Forma Binaria

Estos circuitos se obtienen usando los esquemas básicos de las *figuras 6(a)* y *(b)*, en los que las resistencias se sustituyen por etapas de corriente constante, tal como se ilustra en la *figura 15* para un conversor de 4 bits que usa una escalera de resistencias ($R-2R$). En la implementación monolítica de este circuito es necesario mantener igual *densidad de corriente* en los emisores de los transistores de las fuentes de corriente. En la práctica, esto se obtiene escalando las áreas de emisor de los transistores usados para sintetizar las fuentes de corriente. Un escalado completo no es posible ya que, por ejemplo, para un conversor de 10 bits necesitaríamos relaciones entre las áreas de emisor entre 1 y 512 a 1. Por eso el escalado sólo se realiza para los bits más significativos, empleándose en las redes resistivas en escalera valores de resistencias suficientemente grandes para que las caídas óhmicas en estas resistencias de emisor dominen la falta de apareamiento en las tensiones base-emisor (V_{BE}) de los bits menos significativos, pero proporcionando así una precisión suficiente en el escalado de la corriente.

Hay dos problemas inherentes al uso de las fuentes de corriente ponderadas binariamente. En primer lugar, la respuesta transitoria de cada fuente es distinta, debido a la desigualdad en los valores de las corrientes; esto puede llevar a *tiempos de asentamiento* más rápidos para los bits de órdenes bajos, produciéndose “*glitches*” en la salida. En segundo lugar, puesto que cada una de las secciones correspondientes a los distintos bits tienen diferentes niveles de corriente las derivas térmicas y los gradientes de temperatura asociados con cada bit debido al autocalentamiento serán diferentes, pudiendo originar errores de desapareo locales. Esto es particularmente cierto si se emplean tensiones de alimentación elevadas.

Las fuentes de corrientes ponderadas pueden usarse en grupos de cuatro como bloques para la construcción de conversores D/A de alta precisión. La *figura 16* muestra un ejemplo de conexión en cascada de dos secciones idénticas de 4 bits junto con un atenuador 16-1 para obtener un conversor D/A de 8 bits. La función de transferencia del conversor se puede escribir como:

$$I_{out} = 2I_1 \left(\frac{b_1}{2} + \frac{b_2}{4} + \frac{b_3}{8} + \frac{b_4}{16} \right) + I_A$$

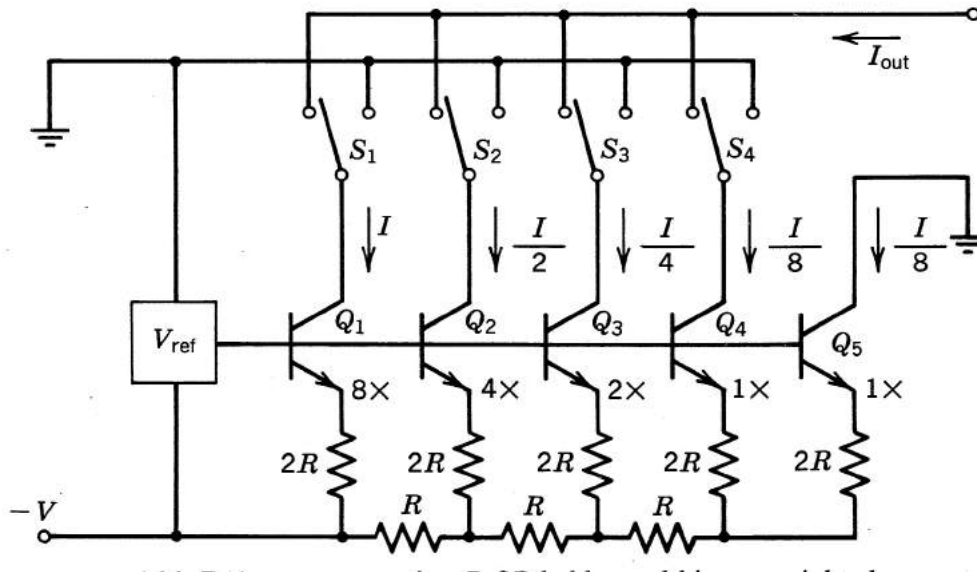


Fig. 15. Conversor D/A de 4 bits que usa una red $R-2R$ y el ponderado binario de fuentes de corriente. Estos valores diferentes de las corrientes se obtienen a través del control del área de emisor de las uniones base-emisor de los transistores (Q_1, Q_2, \dots, Q_5).

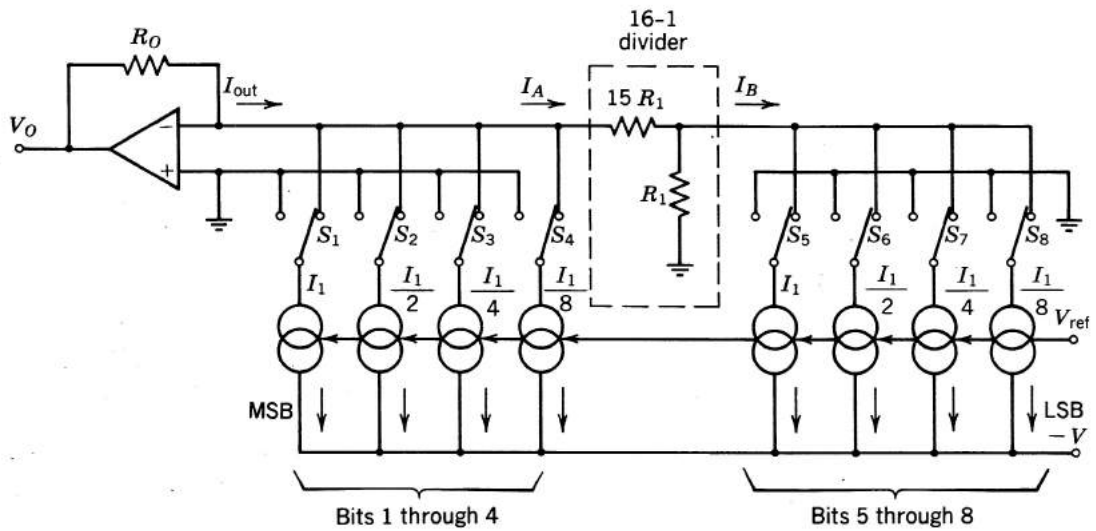


Fig. 16. Conexión en cascada de 2 circuitos de 4 bits con conmutación binaria de corrientes diferentes del tipo visto en la figura anterior

El circuito divisor fuerza a que la corriente correspondiente al segundo grupo de fuentes de corrientes contribuya con una fracción $1/16$ a la corriente total, esto es:

$$I_A = \frac{I_B}{16} = \frac{2I_1}{16} \left(\frac{b_5}{2} + \frac{b_6}{4} + \frac{b_7}{8} + \frac{b_8}{16} \right)$$

combinando ambas ecuaciones:

$$I_{out} = 2I_1 \left(\frac{b_1}{2} + \frac{b_2}{4} + \frac{b_3}{8} + \dots + \frac{b_8}{256} \right)$$

que es la función de transferencia de un conversor D/A de 8 bits.

4.2. Circuitos que usan Fuentes de Corriente de Igual Valor

La generación de las corrientes que alimentan a las redes ($R-2R$) en tecnología integrada puede conseguirse con dos técnicas conceptualmente equivalentes pero de diferentes características a la hora de la implementación.

- a) *Suma de corrientes ponderadas* (distintas)
- b) *Atenuación ponderada de corrientes* (iguales).

En el primer caso, que hemos visto en el apartado anterior, se suman corrientes distintas ($I_1, I_1/2, I_1/4, \dots$) conseguidas a través del control de la geometría de las uniones de emisor.

El otro método alternativo, que evita los problemas de escalado y diversidad de transitorios de conmutación, es la atenuación ponderada de corrientes iguales, usando circuitos del tipo que se muestra en la *figura 17* para un conversor de 4 bits. Ahora es la red en escalera ($R-2R$) la que se encarga de escalar las corrientes, atenuándolas de la forma adecuada. Los transistores Q_1 a Q_4 funcionan como fuentes de corriente idénticas de valor I_1 . La red $R-2R$ atenúa sus contribuciones hasta conseguir una expresión para la corriente de salida de la forma:

$$I_{out} = 2I_1 \left(\frac{b_1}{2} + \frac{b_2}{4} + \frac{b_3}{8} + \frac{b_4}{16} \right)$$

El circuito se puede extender a conversores de más bits (hasta N) añadiendo fuentes de corriente I_1 adicionales y extendiendo la escalera ($R-2R$), dando lugar a una expresión general de la corriente de salida, I_{out} , de la forma:

$$I_{out} = 2I_1 \left(\frac{b_1}{2} + \frac{b_2}{2^2} + \frac{b_3}{2^3} + \dots + \frac{b_N}{2^N} \right)$$

Al ser igual el valor de las fuentes de corriente, este tipo de circuito es inherentemente más rápido que el anterior debido a la posibilidad de manejar un mayor nivel de corriente.

Puede que en una primera lectura no parezca evidente la expresión de I_{out} , en función de I_1 y de la red de ponderación en la que se convierte la escalera ($R-2R$) para cada valor de la configuración binaria de entrada al conversor. Por eso vamos a desarrollar de forma detallada el cálculo de esa expresión para tres bits (la generalización a un número superior es evidente).

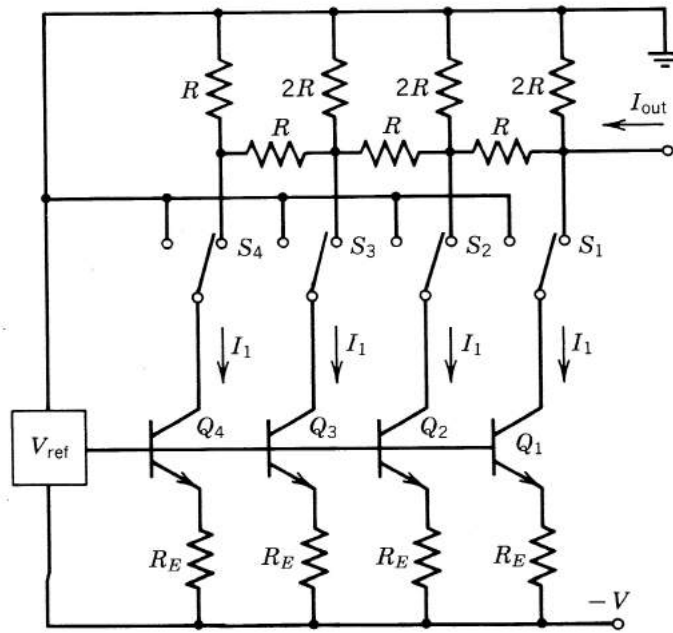


Fig. 17. Conversor D/A de 4 bits por atenuación ponderada de corrientes iguales.

Consideremos primero que queremos convertir la palabra digital 100. Es decir, los conmutadores S_2 y S_3 están en la posición “0” (desconectado de la red $R-2R$) mientras que el S_1 estará a “1” (conectado a la red $R-2R$), por tanto el único transistor que absorbe corriente es Q_1 . Así la red $R-2R$ para este caso será equivalente a R y la tensión de salida es: $V_o = R \cdot I_1$ (figura 18).

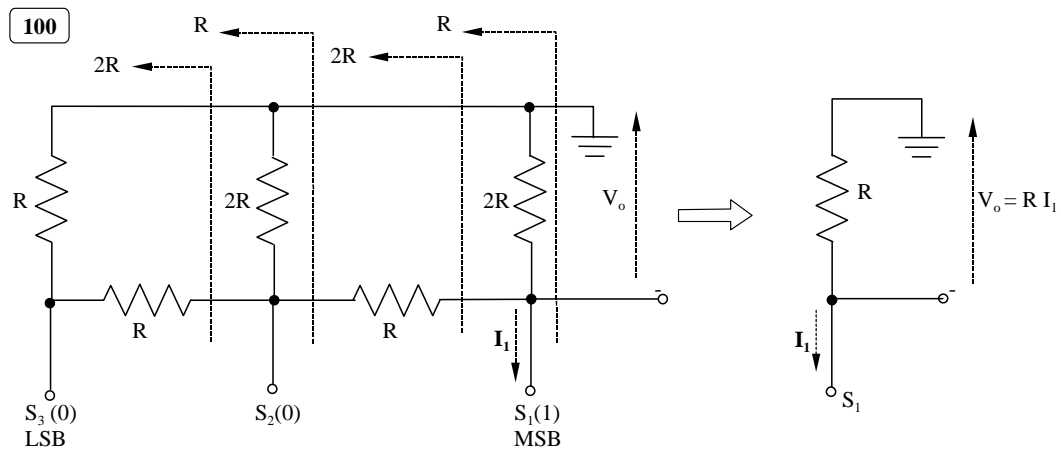
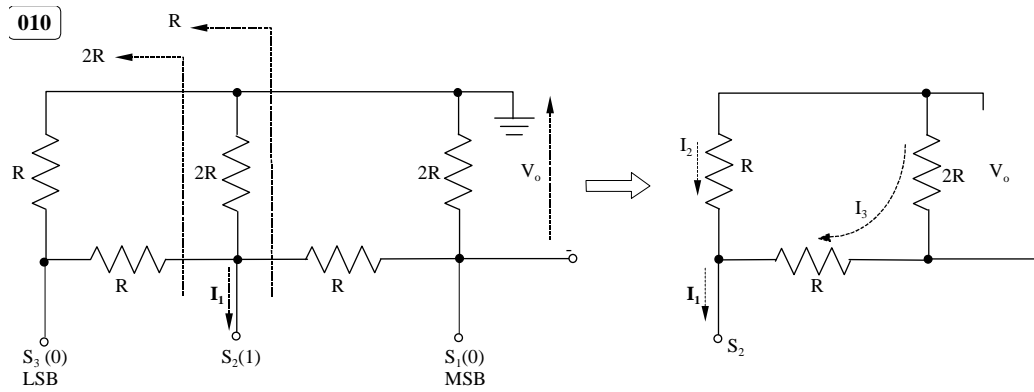


Fig. 18. Reducción de la escalera $R-2R$ para la configuración (100).

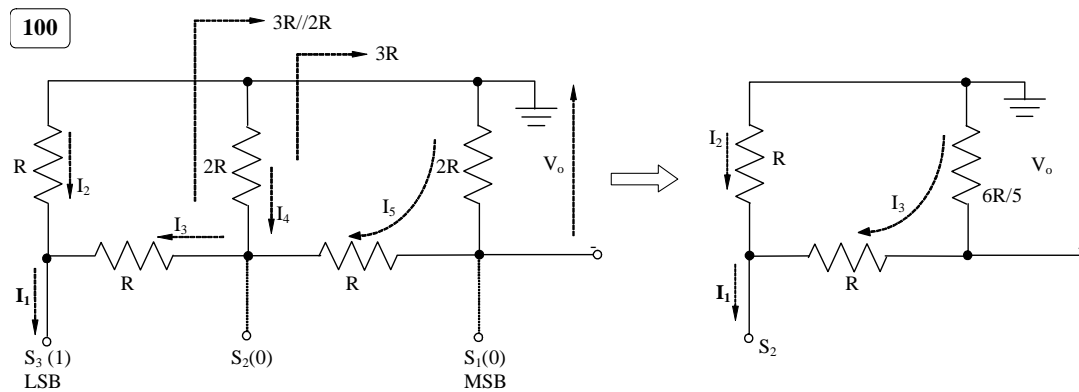
Veamos ahora la conversión de la palabra 010. En este caso los conmutadores S_3 y S_1 están en la posición “0” (desconectado de la red $R-2R$) mientras que el S_2 estará a “1” (conectado a la red $R-2R$), y el circuito a analizar es el que se muestra en la figura 19.



$$I_3 = \frac{R}{R+3R} I_1 = \frac{I_1}{4}, V_o = 2R \cdot I_3 = 2R \frac{I_1}{4} = \frac{1}{2} R I_1$$

Fig. 19. Reducción para la configuración (010).

Finalmente, para la palabra 001 el circuito equivalente para calcular V_o es el que se muestra en la figura 20.



$$I_3 = I_1 \frac{R}{\left(R + \frac{6R}{5}\right) + R} = \frac{5}{16} I_1, \quad I_5 = I_3 \frac{2R}{2R+3R} = \frac{2}{5} I_3 = \frac{2}{16} I_1$$

$$V_o = 2R \cdot I_5 = 2R \cdot \frac{2}{16} I_1 = \frac{1}{4} R \cdot I_1$$

Fig. 20 Cálculo de V_o para 100

Obsérvese que cada bit contribuye al valor de la corriente con un valor distinto, es decir el bit más significativo contribuye con un coeficiente de ponderación de R , el bit medio contribuye con $R/2$ y el bit menos significativo con $R/4$. Así podemos expresar la tensión de salida mediante un polinomio (como se ha visto anteriormente) en el que los coeficientes del polinomio tomarán los valores 0 ó 1, dependiendo de la palabra que se quiere convertir a analógica. Es decir:

$$V_o = \frac{R \cdot I_1}{2^2} (a_1 \cdot 2^2 + a_2 \cdot 2^1 + a_3 \cdot 2^0) = 2R \cdot I_1 \left(a_1 \cdot \frac{1}{2^1} + a_2 \cdot \frac{1}{2^2} + a_3 \cdot \frac{1}{2^3} \right)$$

Palabra Digital $a_1 a_2 a_3$	V_o
0 0 0	$\frac{R \cdot I_1}{4} (0+0+0) = 0$
0 0 1	$\frac{R \cdot I_1}{4} (0+0+1) = \frac{1}{4} R \cdot I_1$
0 1 0	$\frac{R \cdot I_1}{4} (0+2+0) = \frac{2}{4} R \cdot I_1$
0 1 1	$\frac{R \cdot I_1}{4} (0+2+1) = \frac{3}{4} R \cdot I_1$
1 0 0	$\frac{R \cdot I_1}{4} (4+0+0) = \frac{4}{4} R \cdot I_1$
1 0 1	$\frac{R \cdot I_1}{4} (4+0+1) = \frac{5}{4} R \cdot I_1$
1 1 0	$\frac{R \cdot I_1}{4} (4+2+0) = \frac{6}{4} R \cdot I_1$
1 1 1	$\frac{R \cdot I_1}{4} (4+2+1) = \frac{7}{4} R \cdot I_1$

4.3. Redes escalera segmentadas

Uno de los aspectos importantes en el diseño de los conversores D/A es la monotonicidad de las características de transferencia. Este es un problema particularmente serio para conversores de precisión con resoluciones superiores a los 12 bits. La monotonicidad es difícil de conseguir cuando cambian de estado el MSB o el segundo bit más significativo. Este problema se puede evitar usando la estructura del conversor segmentado. Un ejemplo de esta estructura se muestra en la *figura 21*. Este conversor consta de tres secciones: **generador de escalón** (“paso”), **generador de segmento** y **decodificador de segmento**.

Para explicar el principio de operación del conversor D/A segmentado vamos a hacer referencia al ejemplo de la *figura 21*. Los segmentos de corriente I_A , I_B , I_C e I_D están generados por cuatro fuentes de corriente de igual valor, cada una representa un cuarto de la corriente a fondo de escala I_{FS} . Las combinaciones particulares entre los distintos segmentos se seleccionan mediante la salida de un decodificador de segmentos. En el ejemplo anterior, los dos más significativos de la entrada digital actúan como entradas al decodificador y sus cuatro salidas determinan el “status” de los cuatro conmutadores de segmentos, S_A , S_B , S_C y S_D . Estos segmentos de corriente pueden ser conectados bien al generador de pasos o directamente al bus de salida, I_{out} . El generador de pasos está constituido por un conversor D/A que trabaja con la corriente proporcionada por uno de los segmentos del generador de segmentos. Esta corriente es dividida de acuerdo con los cuatro bits restantes menos significativos de la entrada digital.

Como ejemplo, consideremos la operación del circuito con códigos de entrada incrementando sucesivamente desde “000000” hasta “111111”, resultando una salida analógica que arranca desde cero y tiende hacia I_{FS} como se muestra en la *figura 22*. Con el código “000000” en la entrada, los segmentos de corriente I_B , I_C e I_D están conectados a tierra e I_A está conectado a la red en escalera del generador de pasos. Cuando el código de

entrada incrementa hacia 001111 la salida incrementará en $2^4=16$ escalones dado que I_A alcanza el bus de salida I_{out} después de haber sido dividida en el convertor de 4 bits.

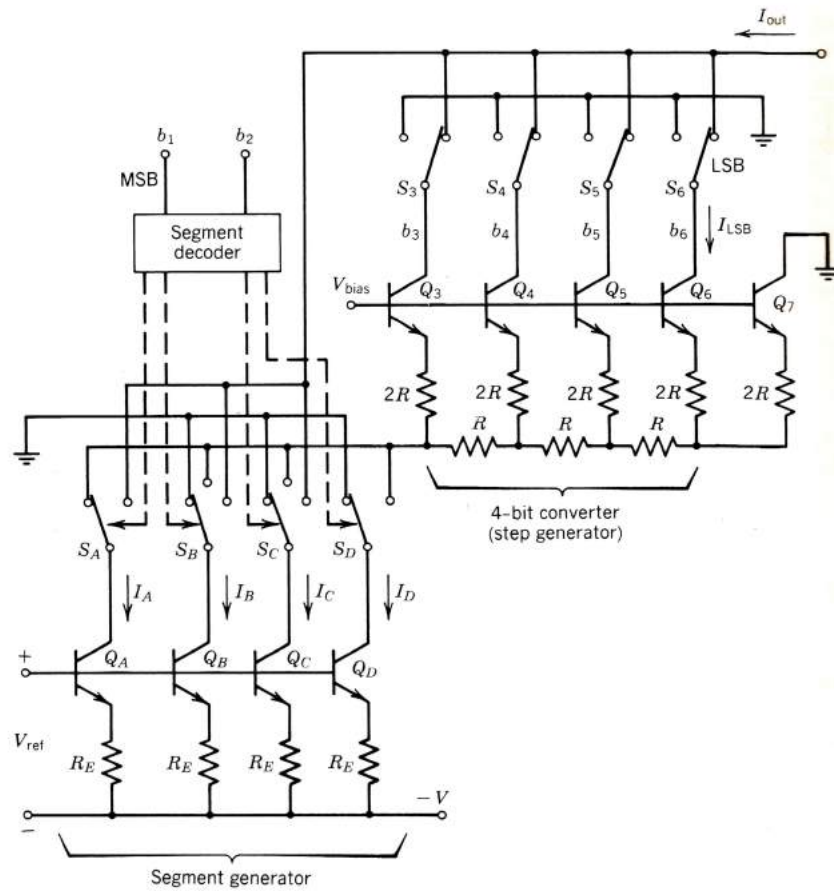


Fig. 21. Diagrama de bloques funcionales en un convertor de 6 bits con la escalera segmentada.

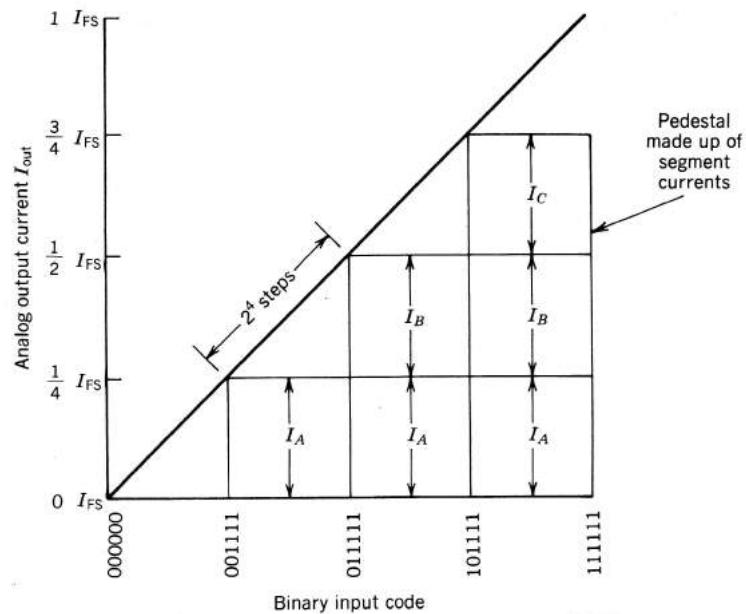


Fig. 22. Característica de transferencia del conversor D/A segmentado de 6 bits

Cuando el código de entrada es 001111, I_{out} será:

$$(I_{out})_{001111} = I_A \frac{15}{16}$$

Si el código de entrada es 010000, I_A es conectada directamente a la salida e I_B al generador de pasos. Por consiguiente:

$$(I_{out})_{010000} = I_A$$

Durante la siguiente secuencia de 15 pasos, el segmento I_A sirve como “pedestal” al que se suman los pasos o escalones generados a partir del segundo segmento de corriente I_B . Para el código 011111 la salida será:

$$(I_{out})_{011111} = I_A + I_B \frac{15}{16}$$

El siguiente código de entrada, 100000, hará que I_B se conecte a la salida. Así,

$$(I_{out})_{100000} = I_A + I_B$$

e I_C es conmutada al generador. Los siguientes 15 pesos se generan a partir de I_C , actuando $I_A + I_B$ como pedestal. La secuencia progresa de forma similar hasta que se alcance el código final, 111111, donde:

$$(I_{out})_{111111} = I_A + I_B + I_C + I_D \frac{15}{16} = I_{FS} \frac{63}{64} = I_{FS} \frac{2^{N-1}}{2^N}$$

Una característica muy importante de este conversor es la monotonicidad. Asegurando que el conversor D/A interno que sirve como generador de pasos sea monótonico se asegura la monotonicidad global.

Mediante esta estructura se puede construir conversores monótonicos de N bits combinando un simple conversor monótonico de M bits (con $M < N$) y un generadores de 2^{N-M} segmentos controlado por un decodificador de segmento que pasa de $(N-M)$ bits de entrada a 2^{N-M} bits de salida. Así, por ejemplo, se puede construir un conversor D/A monótonico de 12 bits usando un conversor de 9 bits en unión con un generador de 8 segmentos (3 bits).

5 Conversores Compresores-Expansores

Hasta ahora todos los métodos de conversión D/A estudiados eran de carácter lineal. Es decir, se buscaba una correspondencia lineal entre la palabra digital de entrada y la señal analógica de salida. Vamos a estudiar ahora un ejemplo de conversión no lineal (logarítmica) de aplicación en sistema de modulación en código de impulsos (PCM), para la compresión y expansión de señales de audio, a la vez que se realiza su conversión D/A o A/D.

La modulación codificada de un tren de impulsos es la más usada en procesos de telecomunicación porque permite procesamiento digital y el uso de códigos diferentes de acuerdo con las necesidades. La modulación codificada (PCM) incluye los siguientes pasos:

- *Muestreo*
- *Cuantificación de las muestras*
- *Codificación (con compresión)*
- *Multiplexado y conversión D/A y A/D.*

de todos estos procesos, lo distintivo es el carácter no lineal de la cuantificación y codificación de la muestra y el proceso inverso de conversión D/A. Esta cuantificación no uniforme se prefiere porque la distribución de amplitudes de la señal de audio no es uniforme. En la voz humana son más frecuentes las bajas amplitudes que las muy altas y hay regiones mucho más sensibles al ruido que otras. Parece entonces lógico disminuir el ruido total aumentando el tamaño de los intervalos menos frecuentes y reduciendo el tamaño de los intervalos de ocupación más frecuentes. Las leyes de compresión/expansión que cumplen estas exigencias son de la forma:

$$y = \log(1 + \mu x)$$

De todas estas leyes la que posee una aceptación más general es la “BELL; μ -255” donde:

$$y = 0,18 \ln(1 + 255.x)$$

siendo x el valor normalizado de la señal de entrada e y la salida del codificador.

Una forma de realizar físicamente esta ley es usar amplificadores logarítmicos. Sin embargo, las soluciones integradas que engloban la compresión/expansión con la conversión usan una aproximación por tramos lineales de la característica de transferencia. Así, para palabras de N bits se dedican P bits para seleccionar de forma lógica uno de entre 2^P segmentos y los $(N-P)$ bits restantes se usan para seleccionar de forma lineal un nivel de tensión entre los $2^{(N-P)}$ niveles que constituyen la escalera asociada a cada segmento. La figura 23 ilustra el proceso para $P = 3$ (8 segmentos por cada polaridad) y $(N-P) = 4$ (16 niveles) dentro de cada segmento. Los niveles dentro de un segmento son todos iguales. Hay en total 255 intervalos correspondientes a las posibles configuraciones de palabras de 8 bits.

Volviendo a la figura 23 vemos que la salida analógica se selecciona mediante un código de 8 bits, el primero de los cuales indica el signo (polaridad) de la salida, los tres siguientes denotan el segmento particular y los cuatro últimos el escalón particular dentro del segmento. La altura de los segmentos se incrementa de forma binaria ($000 \Rightarrow 001 \Rightarrow 010 \Rightarrow \dots$) y lo mismo ocurre con el tamaño de los pasos en cada segmento sucesivo ($0000 \Rightarrow 0001 \Rightarrow 0010 \Rightarrow \dots$) aunque dentro de un segmento dado el tamaño de los pasos es constante. Si embargo, su valor absoluto en cada segmento sucesivo es doble respecto al del segmento precedente. Así, por ejemplo, si el tamaño del escalón en el primer segmento es de 5 mvolts., será de 10 mvolts en el segundo segmento, de 20 mVolts en el tercero y así sucesivamente.

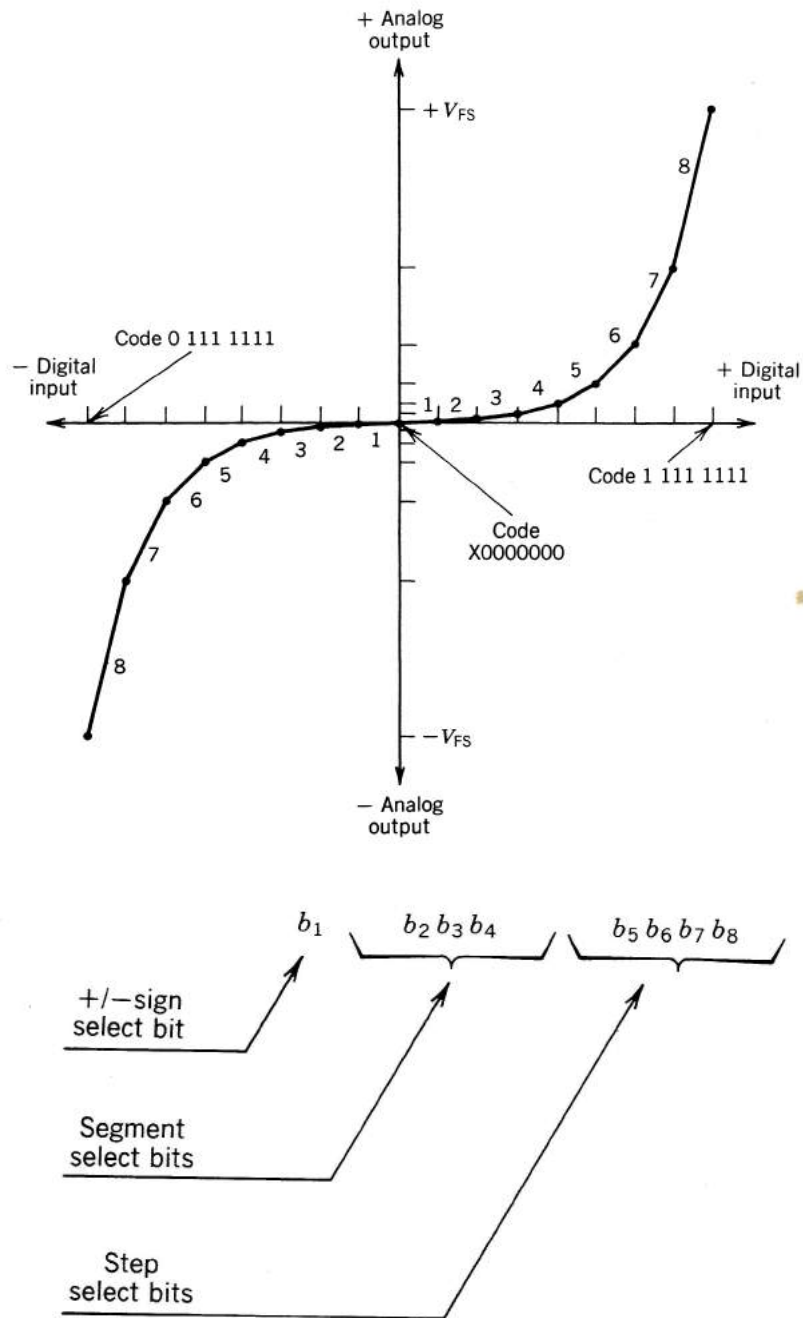


Fig. 23. Característica de transferencia de un conversor D/A “compander”. Para completar su imagen de esta figura recuerde que cada segmento (definido por b_2, b_3, b_4) se refina después en 16 niveles, correspondientes a los últimos cuatro bits, b_5, b_6, b_7, b_8 .

La figura 24 muestra el diagrama de bloques funcionales de un “companding D/A” con escalado de corriente y con características de transferencia correspondientes a las de la figura 23. Consta de un generador de 8 segmentos formado por las fuentes de corriente I_1 a I_8 y controlado por la salida del decodificador de segmentos en respuesta a los tres bits del código de entrada que seleccionan el segmento (b_2, b_3, b_4). El generador de pasos consiste en un conversor de 4 bits, usando escalado en las área de emisor para fijar la razón entre las corrientes.

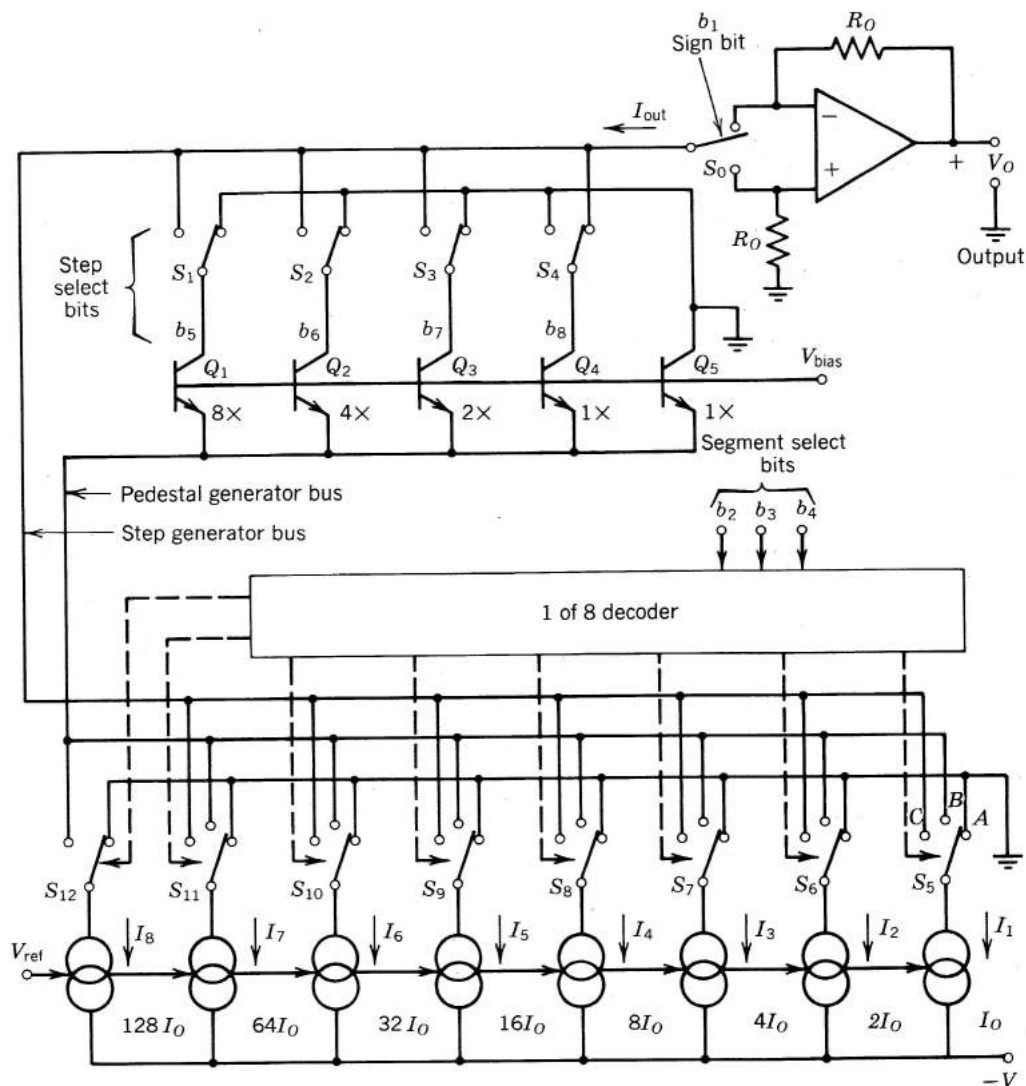


Fig. 24. Arquitectura básica de un convertor D/A “componder” que usa el escalado de corrientes.

Con ligeras diferencias, el principio de funcionamiento de este circuito es similar al del convertor segmentado de la *figura 21*. La principal diferencia es que las corrientes correspondientes a cada segmento no son iguales, sino que están ponderadas de manera binaria. Esto hace que la altura de los pedestales de corriente y el tamaño del paso del convertor se vayan doblando cuando pasamos de un segmento inferior al siguiente superior. La conversión de polaridad se realiza invirtiendo la polaridad de la etapa de conversión corriente-tensión de la salida mediante la posición del conmutador S_0 controlado por el bit de signo.

Esta arquitectura es adecuada para diseño en CMOS. Las fuentes de corriente pueden ser implementadas con espejos de corriente MOS escalados y los conmutadores de corriente con puertas de transmisión. Con pequeñas modificaciones, el concepto de convertor D/A segmentado puede ser adaptado a técnicas de escalado de carga usando tecnología MOS y redes en escalera de condensadores ponderados

6. Ejemplos

Hasta ahora hemos estado viendo el principio de funcionamiento de los conversores D/A, su estructura interna y las especificación de las distintas características que definen el perfil de un conversor (resolución, errores, monotonicidad, estabilidad, etc...).

Ahora vamos a considerar los conversores como elementos de circuitos, como circuitos integrados monolíticos ofrecidos por distintas casas comerciales. La oferta actual es muy extensa y responde a distintas familias de aplicaciones, con distintos grados de precisión y con distintas arquitecturas y tecnologías del tipo de las que hemos estudiado previamente. Cada casa comercial ofrece primero un panorama global de sus conversores en términos de su velocidad (propósito general o alta velocidad), tipo de salida (tensión o corriente) tipo de entrada (serie o paralelo) y nº de bits (8, 12, 16, ...). A título de ejemplo, la *figura 25* muestra una de estas clasificaciones.

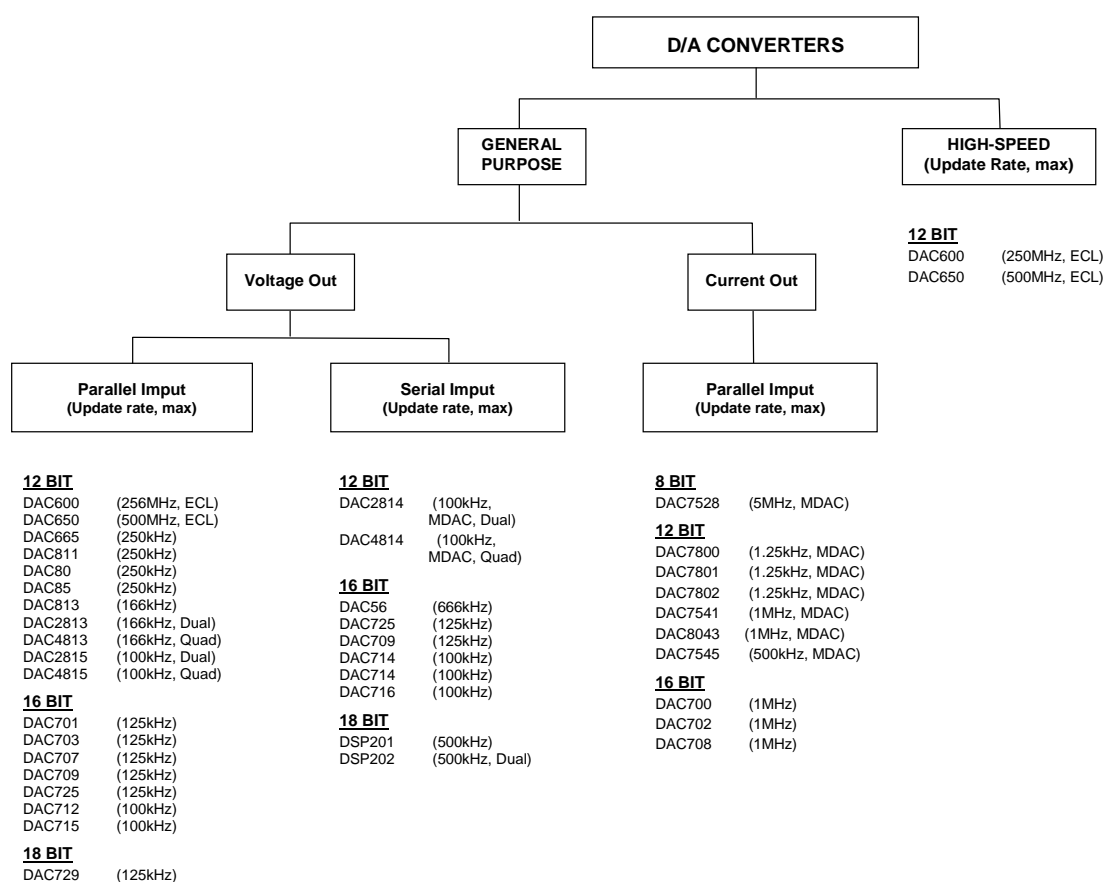


Fig. 25. Distintos tipos de conversores D/A ofrecidos por Burr-Brown.

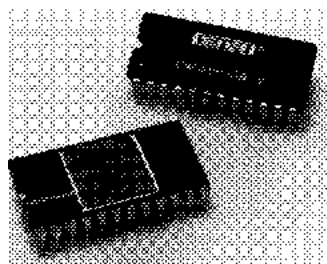
Para familiarizar al alumno con el uso de datos sobre conversores reales incluimos a continuación los correspondiente al conversor de 12 bits DAC80 de Burr-Brown* .

* En el tema anterior (34) ya se introdujeron las direcciones en la red de varias casas comerciales donde el alumno podrá acudir a obtener datos sobre estos conversores y los A/D que estudiaremos en el tema siguiente.

7. Referencias

La parte más relevante de este tema ha tenido como referencia básica el texto de Alan B. Grebene, "*Bipolar and MOS Analog Integrtd Circuit Design*", editado po J. Wiley.





DAC80
DAC80P

Monolithic 12-Bit DIGITAL-TO-ANALOG CONVERTERS

FEATURES

- **INDUSTRY STANDARD PINOUT**
- **FULL $\pm 10V$ SWING WITH $V_{CC} = \pm 12VDC$**
- **DIGITAL INPUTS ARE TTL- AND CMOS-COMPATIBLE**
- **GUARANTEED SPECIFICATIONS WITH $\pm 12V$ AND $\pm 15V$ SUPPLIES**
- **$\pm 1/2LSB$ MAXIMUM NONLINEARITY: $0^{\circ}C$ to $+70^{\circ}C$**
- **SETTLING TIME: $4\mu s$ max to $\pm 0.01\%$ of Full Scale**
- **GUARANTEED MONOTONICITY: $0^{\circ}C$ to $+70^{\circ}C$**
- **TWO PACKAGE OPTIONS: Hermetic side-brazed ceramic and low-cost molded plastic**

resistors, as well as low integral and differential linearity errors. Innovative circuit design enables the DAC80 to operate at supply voltages as low as $\pm 11.4V$ with no loss in performance or accuracy over any range of output voltage. The lower power dissipation of this 118-mil by 121-mil chip results in higher reliability and greater long term stability.

Burr-Brown has further enhanced the reliability of the monolithic DAC80 by offering a hermetic, side-brazed, ceramic package. In addition, ease of use has been enhanced by eliminating the need for a +5V logic power supply.

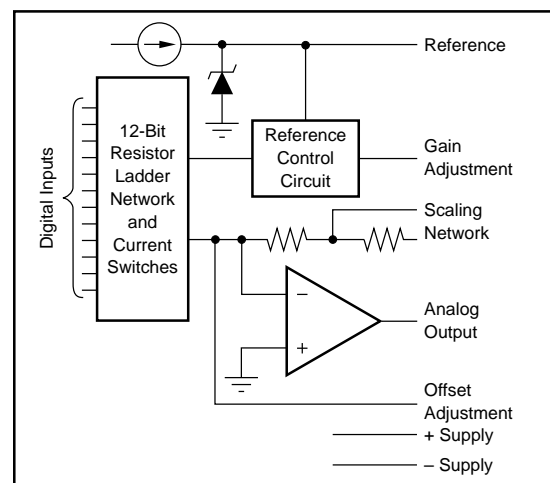
For applications requiring both reliability and low cost, the DAC80P in a molded plastic package offers the same electrical performance over temperature as the ceramic model. The DAC80P is available with voltage output only.

For designs that require a wider temperature range, see Burr-Brown models DAC85H and DAC87H.

DESCRIPTION

This monolithic digital-to-analog converter is pin-for-pin equivalent to the industry standard DAC80 first introduced by Burr-Brown. Its single-chip design includes the output amplifier and provides a highly stable reference capable of supplying up to 2.5mA to an external load without degradation of D/A performance.

This converter uses proven circuit techniques to provide accurate and reliable performance over temperature and power supply variations. The use of a buried zener diode as the basis for the internal reference contributes to the high stability and low noise of the device. Advanced methods of laser trimming result in precision output current and output amplifier feedback



International Airport Industrial Park • Mailing Address: PO Box 11400 • Tucson, AZ 85734 • Street Address: 6730 S. Tucson Blvd. • Tucson, AZ 85706
Tel: (520) 746-1111 • Twx: 910-952-1111 • Cable: BBRCORP • Telex: 066-6491 • FAX: (520) 889-1510 • Immediate Product Info: (800) 548-6132

SPECIFICATIONS

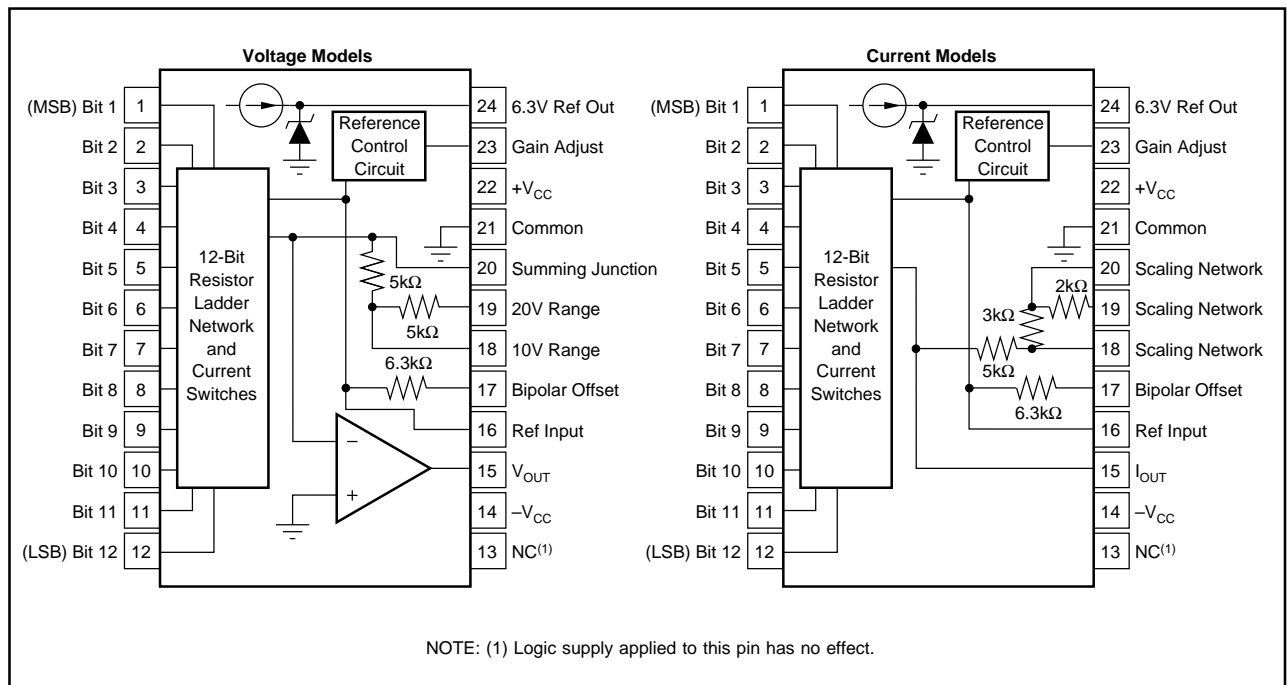
ELECTRICAL

Typical at +25°C and $\pm V_{CC} = 12V$ or $15V$ unless otherwise noted.

PARAMETER	DAC80			UNITS
	MIN	TYP	MAX	
DIGITAL INPUT				
Resolution			12	Bits
Logic Levels (0°C to +70°C) ⁽¹⁾ :				
V_{IH} (Logic "1")	+2		+16.5	VDC
V_{IL} (Logic "0")	0		+0.8	VDC
I_{IH} ($V_{IN} = +2.4V$)			+20	μA
I_{IL} ($V_{IN} = +0.4V$)			-180	μA
ACCURACY (at +25°C)				
Linearity Error		$\pm 1/4$	$\pm 1/2$	LSB
Differential Linearity Error		$\pm 1/2$	$\pm 3/4$	LSB
Gain Error ⁽²⁾		± 0.1	± 0.3	%
Offset Error ⁽²⁾		± 0.05	± 0.15	% of FSR ⁽³⁾
DRIFT (0°C to +70°C) ⁽⁴⁾				
Total Bipolar Drift (includes gain, offset, and linearity drifts)		± 10	± 25	ppm of FSR/°C
Total Error Over 0°C to +70°C ⁽⁵⁾				
Unipolar		± 0.06	± 0.15	% of FSR
Bipolar		± 0.06	± 0.12	% of FSR
Gain: Including Internal Reference		± 10	± 30	ppm/°C
Excluding Internal Reference		± 5	± 10	ppm/°C
Unipolar Offset		± 1	± 3	ppm of FSR/°C
Bipolar Offset		± 7	± 15	ppm of FSR/°C
Differential Linearity 0°C to +70°C		$\pm 1/2$	$\pm 3/4$	LSB
Linearity Error 0°C to +70°C		$\pm 1/4$	$\pm 1/2$	LSB
Monotonicity Guaranteed	0		+70	°C
CONVERSION SPEED, V_{OUT} Models				
Settling Time to $\pm 0.01\%$ of FSR				
For FSR Change (2k Ω 500pF Load)				
with 10k Ω Feedback		3	4	μs
with 5k Ω Feedback		2	3	μs
For 1LSB Change		1		μs
Slew Rate	10			V/ μs
CONVERSION SPEED, I_{OUT} Models				
Settling Time to $\pm 0.01\%$ of FSR				
For FSR change: 10 Ω to 100 Ω Load		300		ns
1k Ω Load		1		μs
ANALOG OUTPUT, V_{OUT} Models				
Ranges		$\pm 2.5, \pm 5, \pm 10, +5, +10$		V
Output Current ⁽⁶⁾	± 5			mA
Output Impedance (DC)		0.05		Ω
Short Circuit to Common, Duration ⁽⁷⁾		Indefinite		
ANALOG OUTPUT, I_{OUT} Models				
Ranges: Bipolar	± 0.96	± 1.0	± 1.04	mA
Unipolar	-1.96	-2.0	-2.04	mA
Output Impedance: Bipolar	2.6	3.2	3.7	k Ω
Unipolar	4.6	6.6	8.6	k Ω
Compliance	-2.5		+2.5	V
REFERENCE VOLTAGE OUTPUT				
External Current (constant load)	+6.23	+6.30	+6.37	V
Drift vs Temperature		± 10	2.5	mA
Output Impedance		1	± 20	ppm/°C
POWER SUPPLY SENSITIVITY				
$V_{CC} = \pm 12VDC$ or $\pm 15VDC$		± 0.002	± 0.006	% FSR/ % V_{CC}
POWER SUPPLY REQUIREMENTS				
$\pm V_{CC}$	± 11.4		± 16.5	VDC
Supply Drain (no load): + V_{CC}		8	12	mA
- V_{CC}		15	20	mA
Power Dissipation ($V_{CC} = \pm 15VDC$)		345	480	mW
TEMPERATURE RANGE				
Specification	0		+70	°C
Operating	-25		+85	°C
Storage: Plastic DIP	-60		+100	°C
Ceramic DIP	-65		+150	°C

NOTES: (1) Refer to "Logic Input Compatibility" section. (2) Adjustable to zero with external trim potentiometer. (3) FSR means full scale range and is 20V for $\pm 10V$ range, 10V for $\pm 5V$ range for V_{OUT} models; 2mA for I_{OUT} models. (4) To maintain drift spec, internal feedback resistors must be used. (5) Includes the effects of gain, offset and linearity drift. Gain and offset errors externally adjusted to zero at +25°C. (6) For $\pm V_{CC}$ less than $\pm 12VDC$, limit output current load to $\pm 2.5mA$ to maintain $\pm 10V$ full scale output voltage swing. For output range of $\pm 5V$ or less, the output current is $\pm 5mA$ over entire $\pm V_{CC}$ range. (7) Short circuit current is 40mA, max.

FUNCTIONAL DIAGRAM AND PIN ASSIGNMENTS



ABSOLUTE MAXIMUM RATINGS

+V _{CC} to Common	0V to +18V
-V _{CC} to Common	0V to -18
Digital Data Inputs to Common	-1V to +18V
Reference Output to Common	±V _{CC}
Reference Input to Common	±V _{CC}
Bipolar Offset to Common	±V _{CC}
10V Range R to Common	±V _{CC}
20V Range R to Common	±V _{CC}
External Voltage to DAC Output	-5V to +5V
Lead Temperature (soldering, 10s)	+300°C
Max Junction Temperature	165°C
Thermal Resistance, θ _{JA} : Plastic DIP	100°C/W
Ceramic DIP	65°C/W

Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. Exposure to absolute maximum conditions for extended periods may affect device reliability.

PACKAGE INFORMATION

MODEL	PACKAGE	PACKAGE DRAWING NUMBER ⁽¹⁾
DAC80P	24-Pin Plastic DIP	167
DAC80	24-Pin Ceramic DIP	125

NOTE: (1) For detailed drawing and dimension table, please see end of data sheet, or Appendix D of Burr-Brown IC Data Book.

BURN-IN SCREENING

Burn-in screening is an option available for the models indicated in the Ordering Information table. Burn-in duration is 160 hours at the maximum specified grade operating temperature (or equivalent combination of time and temperature).

All units are tested after burn-in to ensure that grade specifications are met. To order burn-in, add "-BI" to the base model number.

ORDERING INFORMATION

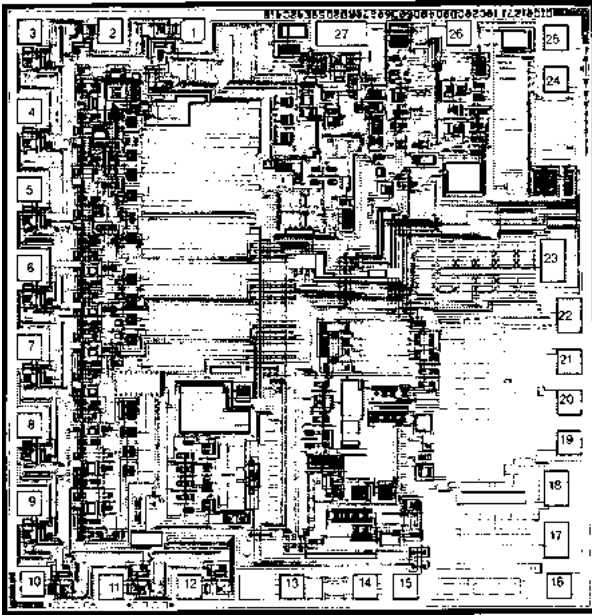
MODEL	PACKAGE	OUTPUT
DAC80-CBI-I	Ceramic DIP	Current
DAC80Z-CBI-I	Ceramic DIP	Current
DAC80-CBI-V	Ceramic DIP	Voltage
DAC80Z-CBI-V	Ceramic DIP	Voltage
DAC80P-CBI-V	Plastic DIP	Voltage

BURN-IN SCREENING OPTION

MODEL	PACKAGE	BURN-IN TEMP. (160h) ⁽¹⁾
DAC80-CBI-V-BI	Ceramic DIP	+125°C
DAC80P-CBI-V-BI	Plastic DIP	+125°C

NOTE: (1) Or equivalent combination. See text.

DICE INFORMATION



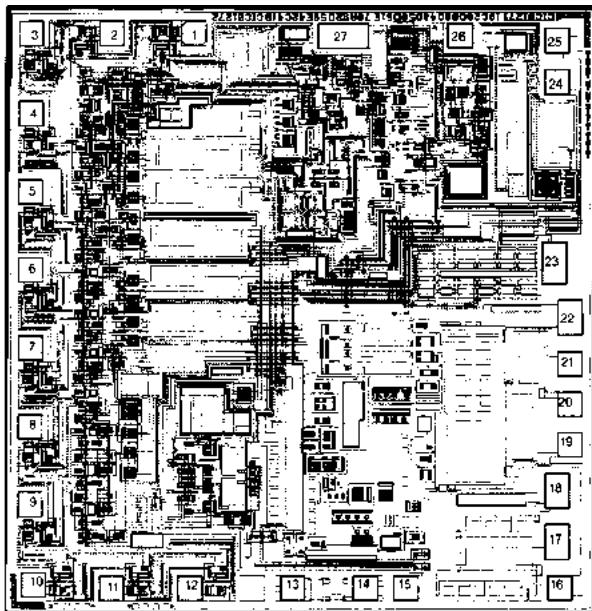
DAC80KD-V DIE TOPOGRAPHY

PAD	FUNCTION	PAD	FUNCTION
1	Bit 1 (MSB)	15	-V _{CC}
2	Bit 2	16	V _{OUT}
3	Bit 3	17	Ref In
4	Bit 4	18	Bipolar Offset
5	Bit 5	19	Scale 10V FSR
6	Bit 6	20	Scale 20V FSR
7	Bit 7	21	NC
8	Bit 8	22	Sum Junct
9	Bit 9	23	COM
10	Bit 10	24	COM
11	Bit 11	25	+V _{CC}
12	Bit 12 (LSB)	26	Gain Adjust
13	NC	27	6.3V Ref Out
14	NC		

Substrate Bias: Isolated. NC: No Connection

MECHANICAL INFORMATION

	MILS (0.001")	MILLIMETERS
Die Size	118 x 121 ± 5	3.0 x 3.07 ± 0.13
Die Thickness	20 ± 3	0.51 ± 0.08
Min. Pad Size	4 x 4	0.10 x 0.10
Metalization		Aluminum



DAC80KD-I DIE TOPOGRAPHY

PAD	FUNCTION	PAD	FUNCTION
1	Bit 1 (MSB)	15	-V _{CC}
2	Bit 2	16	I _{OUT}
3	Bit 3	17	Ref In
4	Bit 4	18	Bipolar Offset
5	Bit 5	19	Scale 10V FSR
6	Bit 6	20	Scale 20V FSR
7	Bit 7	21	Scale
8	Bit 8	22	NC
9	Bit 9	23	COM
10	Bit 10	24	COM
11	Bit 11	25	+V _{CC}
12	Bit 12 (LSB)	26	Gain Adjust
13	NC	27	6.3V Ref Out
14	NC		

Substrate Bias: Isolated. NC: No Connection

MECHANICAL INFORMATION

	MILS (0.001")	MILLIMETERS
Die Size	118 x 121 ± 5	3.0 x 3.07 ± 0.13
Die Thickness	20 ± 3	0.51 ± 0.08
Min. Pad Size	4 x 4	0.10 x 0.10
Metalization		Aluminum

DISCUSSION OF SPECIFICATIONS

DIGITAL INPUT CODES

The DAC80 accepts complementary binary digital input codes. The CBI model may be connected by the user for any one of three complementary codes: CSB, COB, or CTC (see Table I).

DIGITAL INPUT		ANALOG OUTPUT		
MSB ↓	LSB ↓	CSB Complementary Straight Binary	COB Complementary Offset Binary	CTC ⁽¹⁾ Complementary Two's Complement
0	0	+Full Scale	+Full Scale	-1LSB
0	1	+1/2 Full Scale	Zero	-Full Scale
1	0	1/2 Full Scale -1LSB	-1LSB	-Full Scale
1	1	Zero	-Full Scale	Zero

NOTE: (1) Invert the MSB of the COB code with an external inverter to obtain CTC code.

TABLE I. Digital Input Codes.

ACCURACY

Linearity of a D/A converter is the true measure of its performance. The linearity error of the DAC80 is specified over its entire temperature range. This means that the analog output will not vary by more than $\pm 1/2$ LSB, maximum, from an ideal straight line drawn between the end points (inputs all "1"s and all "0"s) over the specified temperature range of 0°C to +70°C.

Differential linearity error of a D/A converter is the deviation from an ideal 1LSB voltage change from one adjacent output state to the next. A differential linearity error specification of $\pm 1/2$ LSB means that the output voltage step sizes can range from 1/2LSB to 3/2LSB when the input changes from one adjacent input state to the next.

Monotonicity over a 0°C to +70°C range is guaranteed in the DAC80 to insure that the analog output will increase or remain the same for increasing input digital codes.

DRIFT

Gain Drift is a measure of the change in the full scale range output over temperature expressed in parts per million per °C (ppm/°C). Gain drift is established by: 1) testing the end point differences for each DAC80 model at 0°C, +25°C, and +70°C; 2) calculating the gain error with respect to the 25°C value, and; 3) dividing by the temperature change. This figure is expressed in ppm/°C and is given in the electrical specifications both with and without internal reference.

Offset Drift is a measure of the actual change in output with all "1"s on the input over the specified temperature range. The offset is measured at 0°C, +25°C, and 70°C. The maximum change in Offset is referenced to the Offset at 25°C and is divided by the temperature range. This drift is expressed in parts per million of full scale range per °C (ppm of FSR/°C).

SETTLING TIME

Settling time for each DAC80 model is the total time (including slew time) required for the output to settle within an error band around its final value after a change in input (see Figure 1).

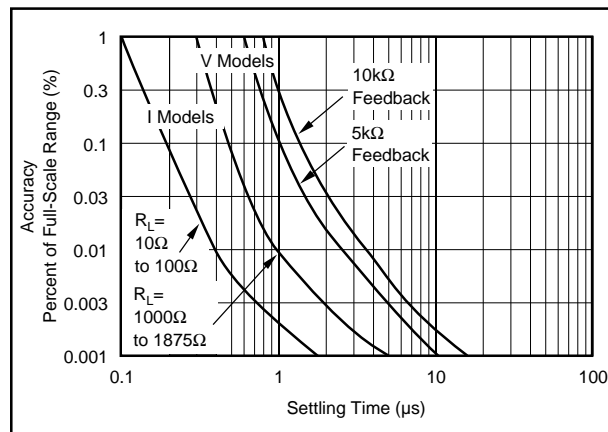


FIGURE 1. Full Scale Range Settling Time vs Accuracy.

Voltage Output Models

Three settling times are specified to $\pm 0.01\%$ of full scale range (FSR); two for maximum full scale range changes of 20V, 10V and one for a 1LSB change. The 1LSB change is measured at the major carry (0111...11 to 1000...00), the point at which the worst case settling time occurs.

Current Output Models

Two settling times are specified to $\pm 0.01\%$ of FSR. Each is given for current models connected with two different resistive loads: 10Ω to 100Ω and 1000Ω to 1875Ω. Internal resistors are provided for connecting nominal load resistances of approximately 1000Ω to 1800Ω for output voltage range of ± 1 V and 0 to -2V (see Figures 11 and 12).

COMPLIANCE

Compliance voltage is the maximum voltage swing allowed on the current output node in order to maintain specified accuracy. The maximum compliance voltage of all current output models is ± 2.5 V. Maximum safe voltage range of ± 1 V and 0 to -2V (see Figures 11 and 12).

POWER SUPPLY SENSITIVITY

Power supply sensitivity is a measure of the effect of a power supply change on the D/A converter output. It is defined as a percent of FSR per percent of change in either the positive or negative supplies about the nominal power supply voltages (see Figure 2).

REFERENCE SUPPLY

All DAC80 models are supplied with an internal 6.3V reference voltage supply. This voltage (pin 24) has a tolerance of $\pm 1\%$ and must be connected to the Reference Input

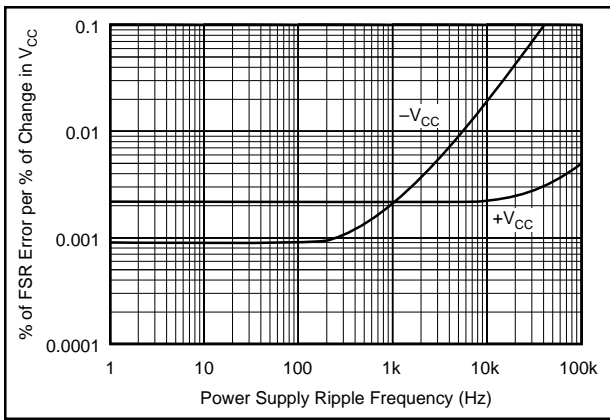


FIGURE 2. Power Supply Rejection vs Power Supply Ripple.

(pin 16) for specified operation. This reference may be used externally also, but external current drain is limited to 2.5mA.

If a varying load is to be driven, an external buffer amplifier is recommended to drive the load in order to isolate bipolar offset from load variations. Gain and bipolar offset adjustments should be made under constant load conditions.

LOGIC INPUT COMPATIBILITY

DAC80 digital inputs are TTL, LSTTL and 4000B, 54/74HC CMOS compatible. The input switching threshold remains at the TTL threshold over the entire supply range.

Logic “0” input current over temperature is low enough to permit driving DAC80 directly from outputs of 4000B and 54/74C CMOS devices.

OPERATING INSTRUCTIONS

POWER SUPPLY CONNECTIONS

Connect power supply voltages as shown in Figure 3. For optimum performance and noise rejection, power supply decoupling capacitors should be added as shown. These capacitors (1μF tantalum) should be located close to the DAC80.

±12V OPERATION

All DAC80 models can operate over the entire power supply range of ±11.4V to ±16.5V. Even with supply levels dropping to ±11.4V, the DAC80 can swing a full ±10V range, provided the load current is limited to ±2.5mA. With power supplies greater than ±12V, the DAC80 output can be loaded up to ±5mA. For output swing of ±5V or less, the output current is ±5mA, minimum, over the entire V_{CC} range.

No bleed resistor is needed from +V_{CC} to pin 24, as was needed with prior hybrid Z versions of DAC80. Existing ±12V applications that are being converted to the monolithic DAC80 must omit the resistor to pin 24 to insure proper operation.

EXTERNAL OFFSET AND GAIN ADJUSTMENT

Offset and gain may be trimmed by installing external Offset and Gain potentiometers. Connect these potentiometers as shown in Figure 3 and adjust as described below. TCR of the potentiometers should be 100ppm/°C or less. The 3.9MΩ and 10MΩ resistors (20% carbon or better) should be located close to the DAC80 to prevent noise pickup. If it is not convenient to use these high value resistors, an equivalent “T” network, as shown in Figure 4, may be substituted.

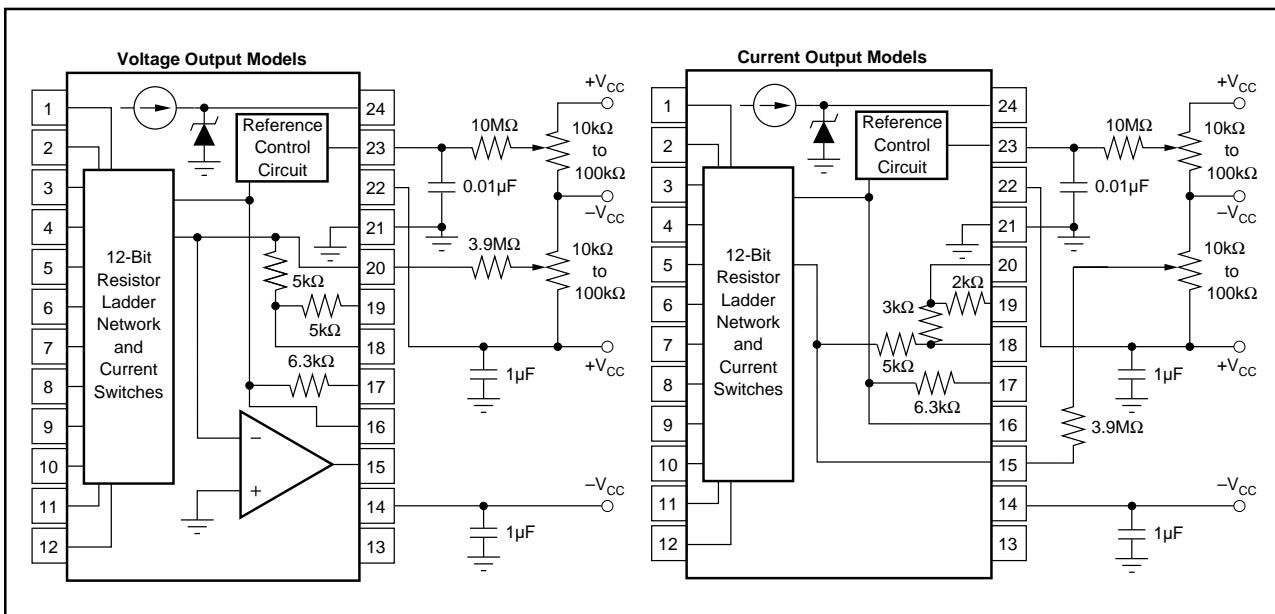


FIGURE 3. Power Supply and External Adjustment Connection Diagrams.

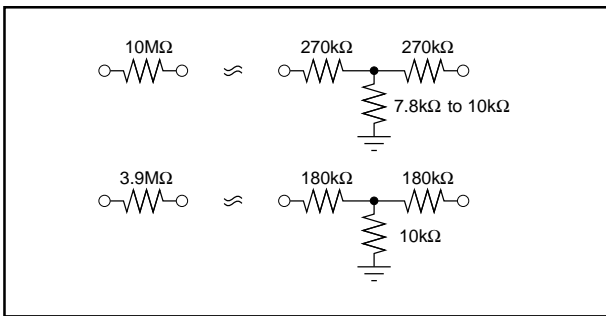


FIGURE 4. Equivalent Resistances.

Existing applications that are converting to the monolithic DAC80 must change the gain trim resistor on pin 23 from 33MΩ to 10MΩ to insure sufficient adjustment range. Pin 23 is a high impedance point and a 0.001μF to 0.01μF ceramic capacitor should be connected from this pin to Common (pin 21) to prevent noise pickup. Refer to Figure 5 for relationship of Offset and Gain adjustments to unipolar and bipolar D/A operation.

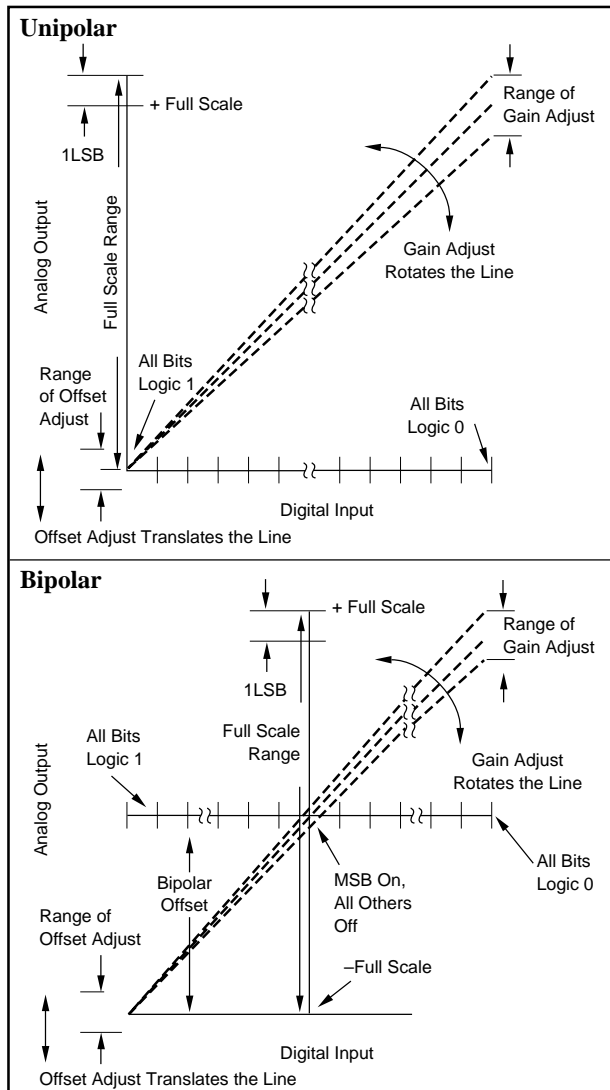


FIGURE 5. Relationship of Offset and Gain Adjustments for a Unipolar and Bipolar D/A Converter.

Offset Adjustment

For unipolar (CSB) configurations, apply the digital input code that should produce zero potential output and adjust the Offset potentiometer for zero output.

For bipolar (COB, CTC) configurations, apply the digital input code that should produce the maximum negative output. Example: If the Full Scale Range is connected for 20V, the maximum negative output voltage is -10V. See Table II for corresponding codes.

Gain Adjustment

For either unipolar or bipolar configurations, apply the digital input that should give the maximum positive output. Adjust the Gain potentiometer for this positive full scale output. See Table II for positive full scale voltages and currents.

DIGITAL INPUT		ANALOG OUTPUT			
		VOLTAGE ⁽¹⁾		CURRENT	
MSB ↓	LSB ↓	0 to +10V	±10V	0 to -2mA	±1mA
000000000000		+9.9976V	+9.9951V	-1.9995mA	-0.9995mA
011111111111		+5.0000V	0.0000V	-1.0000mA	0.0000mA
100000000000		+4.9976V	-0.0049V	-0.9995mA	+0.0005mA
111111111111		0.0000V	-10.0000V	0.0000mA	+1.000mA
One LSB		2.44mV	4.88mV	0.488μA	0.488μA

NOTE: (1) To obtain values for other binary ranges:
 0 to +5V range divide 0 to +10V range values by 2.
 ±5V range: divide ±10V range values by 2.
 ±2.5V range: divide ±10V range values by 4.

TABLE II. Digital Input/Analog Output.

VOLTAGE OUTPUT MODELS

Output Range Connections

Internal scaling resistors provided in the DAC80 may be connected to produce bipolar output voltage ranges of ±10V, ±5V, or ±2.5V; or unipolar output voltage ranges of 0 to +5V or 0 to +10V. See Figure 6.

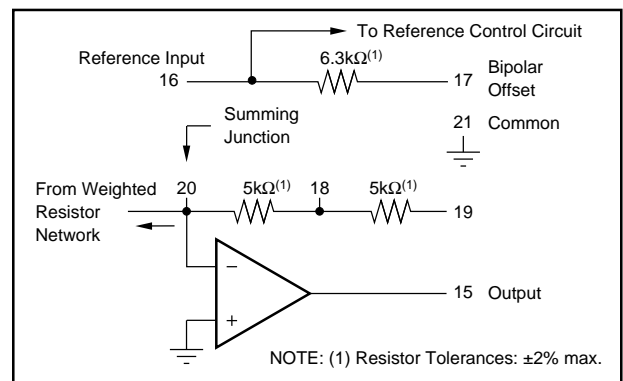


FIGURE 6. Output Amplifier Voltage Range Scaling Circuit.

Gain and offset drift are minimized because of the thermal tracking of the scaling resistors with other internal device components. Connections for various output voltage ranges are shown in Table III. Settling time for a full-scale range change is specified as 4μs for the 20V range and 3μs for the 10V range.

Output Range	Digital Input Codes	Connect Pin 15 to	Connect Pin 17 to	Connect Pin 19 to	Connect Pin 16 to
±10	COB or CTC	19	20	15	24
±5	COB or CTC	18	20	NC	24
±2.5V	COB or CTC	18	20	20	24
0 to +10V	CSB	18	21	NC	24
0 to +5V	CSB	18	21	20	24

TABLE III. Output Voltage Range Connections for Voltage Models.

CURRENT OUTPUT MODELS

The resistive scaling network and equivalent output circuit of the current model differ from the voltage model and are shown in Figures 7 and 8.

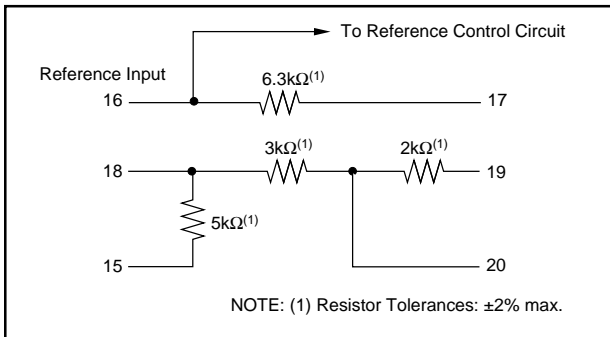


FIGURE 7. Internal Scaling Resistors.

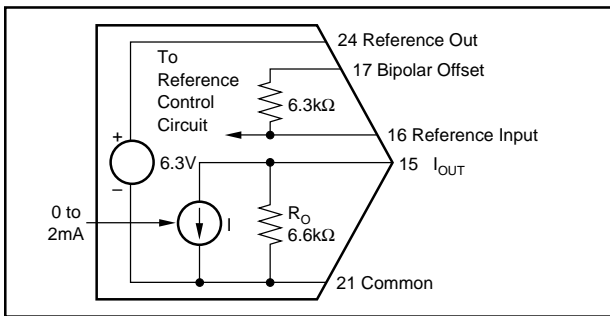


FIGURE 8. Current Output Model Equivalent Output Circuit.

Internal scaling resistors (Figure 7) are provided to scale an external op amp or to configure load resistors for a voltage output. These connections are described in the following sections.

If the internal resistors are not used for voltage scaling, external R_L (or R_F) resistors should have a TCR of $\pm 25\text{ppm}/^\circ\text{C}$ or less to minimize drift. This will typically add $\pm 50\text{ppm}/^\circ\text{C}$ plus the TCR of R_L (or R_F) to the total drift.

Driving An External Op Amp

The current output model DAC80 will drive the summing junction of an op amp used as a current-to-voltage converter to produce an output voltage. See Figure 9.

$$V_{OUT} = I_{OUT} \times R_F$$

where I_{OUT} is the DAC80 output current and R_F is the feedback resistor. Using the internal feedback resistors of

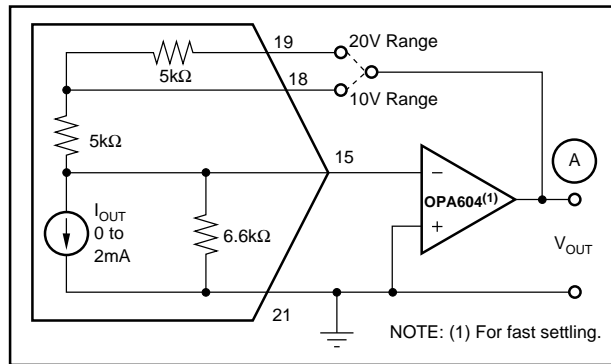


FIGURE 9. External Op-Amp—Using Internal Feedback Resistors.

the current output model DAC80 provides output voltage ranges the same as the voltage model DAC80. To obtain the desired output voltage range when connecting an external op amp, refer to Table IV.

Output Range	Digital Input Codes	Connect I_{OUT} to	Connect Pin 17 to	Connect Pin 19 to	Connect Pin 16 to
±10V	COB or CTC	19	15	$\text{\textcircled{A}}$	24
±5V	COB or CTC	18	15	NC	24
±2.5V	COB or CTC	18	15	15	24
0 to +10V	CSB	18	21	NC	24
0 to +5V	CSB	18	21	15	24

TABLE IV. Voltage Range of Current Output.

Output Larger Than 20V Range

For output voltage ranges larger than $\pm 10\text{V}$, a high voltage op amp may be employed with an external feedback resistor. Use I_{OUT} value of $\pm 1\text{mA}$ for bipolar voltage ranges and -2mA for unipolar voltage ranges. See Figure 10. Use protection diodes when a high voltage op amp is used.

The feedback resistor, R_F , should have a temperature coefficient as low as possible. Using an external feedback resistor, overall drift of the circuit increases due to the lack of temperature tracking between R_F and the internal scaling resistor network. This will typically add $50\text{ppm}/^\circ\text{C}$ plus R_F drift to total drift.

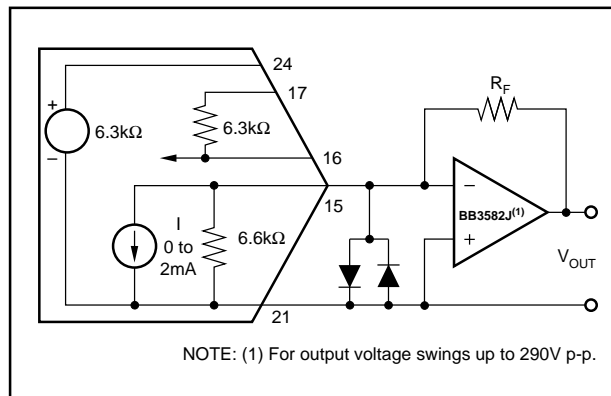


FIGURE 10. External Op-Amp—Using External Feedback Resistors.

Driving a Resistive Load Unipolar

A load resistance, $R_L = R_{LI} + R_{LS}$, connected as shown in Figure 11 will generate a voltage range, V_{OUT} , determined by:

$$V_{OUT} = -2mA [(R_L \times R_O) \div (R_L + R_O)]$$

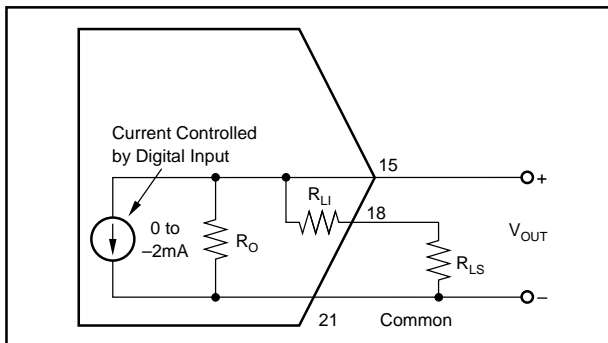


FIGURE 11. Current Output Model Equivalent Circuit Connected for Unipolar Voltage Output with Resistive Load.

The unipolar output impedance R_O equals $6.6k\Omega$ (typ) and R_{LI} is the internal load resistance of 968Ω (derived by connecting pin 15 to 20 and pin 18 to 19). By choosing $R_{LS} = 210\Omega$, $R_L = 1178\Omega$. R_L in parallel with R_O yields $1k\Omega$ total load. This gives an output range of 0 to $-2V$. Since R_O is not exact, initial trimming per Figure 3 may be necessary; also R_{LS} may be trimmed.

Driving a Resistive Load Bipolar

The equivalent output circuit for a bipolar output voltage range is shown in Figure 12, $R_L = R_{LI} + R_{LS}$. V_{OUT} is determined by:

$$V_{OUT} = \pm 1mA [(R_O \times R_L) \div (R_O + R_L)]$$

By connecting pin 17 to 15, the output current becomes bipolar ($\pm 1mA$) and the output impedance R_O becomes $3.2k\Omega$ ($6.6k\Omega$ in parallel with $6.3k\Omega$). R_{LI} is 1200Ω (derived by connecting pin 15 to 18 and pin 18 to 19). By choosing $R_{LS} = 225\Omega$, $R_L = 1455\Omega$. R_L in parallel with R_O yields $1k\Omega$ total load. This gives an output range of $\pm 1V$. As indicated above, trimming may be necessary.

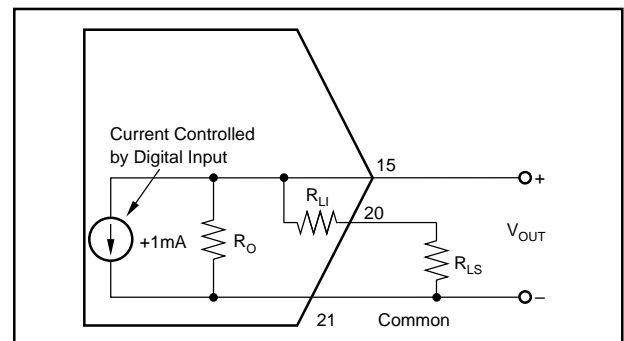


FIGURE 12. Current Output Model Connected for Bipolar Output Voltage with Resistive Load.

The information provided herein is believed to be reliable; however, BURR-BROWN assumes no responsibility for inaccuracies or omissions. BURR-BROWN assumes no responsibility for the use of this information, and all use of such information shall be entirely at the user's own risk. Prices and specifications are subject to change without notice. No patent rights or licenses to any of the circuits described herein are implied or granted to any third party. BURR-BROWN does not authorize or warrant any BURR-BROWN product for use in life support devices and/or systems.

PACKAGING INFORMATION

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
DAC80-CBI-I	OBSOLETE	CDIP SB	JDM	24		TBD	Call TI	Call TI
DAC80-CBI-V	OBSOLETE	CDIP SB	JDM	24		TBD	Call TI	Call TI
DAC80KD-I	OBSOLETE	XCEPT	Y	0		TBD	Call TI	Call TI
DAC80KD-V	OBSOLETE	XCEPT	Y	0		TBD	Call TI	Call TI
DAC80P-CBI-V	OBSOLETE	PDIP	NTA	24		TBD	Call TI	Call TI
DAC80P-CBI-V-BI	OBSOLETE	PDIP	NTA	24		TBD	Call TI	Call TI
DAC80Z-CBI-V	OBSOLETE	CDIP SB	JD	24		TBD	Call TI	Call TI

⁽¹⁾ The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

⁽²⁾ Eco Plan - The planned eco-friendly classification: Pb-Free (RoHS) or Green (RoHS & no Sb/Br) - please check <http://www.ti.com/productcontent> for the latest availability information and additional product content details.

TBD: The Pb-Free/Green conversion plan has not been defined.

Pb-Free (RoHS): TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.

Green (RoHS & no Sb/Br): TI defines "Green" to mean Pb-Free (RoHS compatible), and free of Bromine (Br) and Antimony (Sb) based flame retardants (Br or Sb do not exceed 0.1% by weight in homogeneous material)

⁽³⁾ MSL, Peak Temp. -- The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

IMPORTANT NOTICE

Texas Instruments Incorporated and its subsidiaries (TI) reserve the right to make corrections, modifications, enhancements, improvements, and other changes to its products and services at any time and to discontinue any product or service without notice. Customers should obtain the latest relevant information before placing orders and should verify that such information is current and complete. All products are sold subject to TI's terms and conditions of sale supplied at the time of order acknowledgment.

TI warrants performance of its hardware products to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are used to the extent TI deems necessary to support this warranty. Except where mandated by government requirements, testing of all parameters of each product is not necessarily performed.

TI assumes no liability for applications assistance or customer product design. Customers are responsible for their products and applications using TI components. To minimize the risks associated with customer products and applications, customers should provide adequate design and operating safeguards.

TI does not warrant or represent that any license, either express or implied, is granted under any TI patent right, copyright, mask work right, or other TI intellectual property right relating to any combination, machine, or process in which TI products or services are used. Information published by TI regarding third-party products or services does not constitute a license from TI to use such products or services or a warranty or endorsement thereof. Use of such information may require a license from a third party under the patents or other intellectual property of the third party, or a license from TI under the patents or other intellectual property of TI.

Reproduction of information in TI data books or data sheets is permissible only if reproduction is without alteration and is accompanied by all associated warranties, conditions, limitations, and notices. Reproduction of this information with alteration is an unfair and deceptive business practice. TI is not responsible or liable for such altered documentation.

Resale of TI products or services with statements different from or beyond the parameters stated by TI for that product or service voids all express and any implied warranties for the associated TI product or service and is an unfair and deceptive business practice. TI is not responsible or liable for any such statements.

Following are URLs where you can obtain information on other Texas Instruments products and application solutions:

Products		Applications	
Amplifiers	amplifier.ti.com	Audio	www.ti.com/audio
Data Converters	dataconverter.ti.com	Automotive	www.ti.com/automotive
DSP	dsp.ti.com	Broadband	www.ti.com/broadband
Interface	interface.ti.com	Digital Control	www.ti.com/digitalcontrol
Logic	logic.ti.com	Military	www.ti.com/military
Power Mgmt	power.ti.com	Optical Networking	www.ti.com/opticalnetwork
Microcontrollers	microcontroller.ti.com	Security	www.ti.com/security
		Telephony	www.ti.com/telephony
		Video & Imaging	www.ti.com/video
		Wireless	www.ti.com/wireless

Mailing Address: Texas Instruments
Post Office Box 655303 Dallas, Texas 75265